

企画番号 2025-12

<薄膜デバイスとニューロモフィックシステムの調査・研究> 活動報告書

代表者 y230395 大平涼太

メンバー y230311 中村凌成, y230379 岩本康太, y230332 田丸敦也,
y230342 山本啓太, y230308 青山文二, y230406 高木悠真, y230361 大島涼
アドバイザー教員 木村睦

1. 目的

現在普及しているコンピュータにはノイマン型アーキテクチャが用いられているが、ノイマン型アーキテクチャには、写真や動画などの非構造化データを効率良く処理できないという弱点や、プロセッサと記憶装置を接続するバスのデータ転送速度がネックとなって性能が向上しない、いわゆるフォン・ノイマン・ボトルネックと呼ばれる弱点がある。そのため、これらの弱点を克服するために、高速な不揮発性メモリ (FeRAM、MRAM、ReRAM、PRAM など)の研究や、非ノイマン型コンピュータ(ニューロモフィックコンピュータ、量子コンピュータなど)の研究が世界中で盛んに行われており、木村睦研究室においてもこれらの研究が行われている。そこで、このプロジェクトリサーチでは、今後の研究活動を円滑に進めるため、奈良先端科学技術大学院大学(以下 NAIST)や台湾国立成功大学(以下 NCKU)でのインターンシップに参加し、コンピューティングアーキテクチャやニューロモフィックシステムに関する理解を深める。またこれらの活動を通して、今後の研究活動がより主体性のあるものとなるよう努力したいと思っている。

2. 計画

2-1. NAIST インターンシップ

NAIST コンピューティングアーキテクチャ研究室にインターンシップとして訪問し、中島教授より、コンピューティングアーキテクチャについて指導を受ける。

7月14日～16日の間はリレー回路を用いたコンピュータを作製し、計算機の基礎原理の体験的理解を行う。

担当：大平、中村、岩本、田丸、山本、青山、高木、大島

7月17,18日の間は中島教授よりコンピューティングアーキテクチャに関連した講義を受講する。

担当：大平、中村、岩本、田丸、山本、青山、高木、大島

2-2. NCKU インターンシップ

夏季休暇の一週間を活用し、NCKU 電気工学科・Chih-Lung Lin 研究室にインターンシップとして訪問し、ニューロモフィックシステムの共同研究を行う。

担当：太平、田丸、山本、青山、高木、大島

3. 調査方法

3-1. NAIST インターンシップ

リレー回路を用い、コンピュータの制作を行う。具体的には全加算器・キャリー伝搬回路・クロック回路・カウンタ回路を制作し、組み合わせて 1bit の計算機を制作する。そしてこの 1bit の計算機を班ごとに制作し、組み合わせることで 4bit の計算を行うことができるコンピュータを実現する。

また中島教授より「コンピューティングアーキテクチャとは何なのか」といった基礎的な知識から、「今後の人工知能の展望」や「グラフィックボードの計算処理方法」など今後の研究に関わる様々なことについて講義をして頂いた。

3-2. NCKU インターンシップ

ニューロモフィックシステムの神経回路モデル(neuron.sp)を提供して頂き、回路シミュレーションを用いて Objective1,2 を解決する。Objective1 は動作速度の改善、Objective2 は遅延回路の改善である。

Objective1 :

基準パルス幅を以下のように表し、基準のパルス幅から X は 1~10 までの間で 2 刻み、P パルスの Y は 50us~10us, N パルスの Z は 100us~50us の間で 10us 刻みに全パターン計測した。

VP pulse(0 V1 100u 1u 1u Xu Yu)

VN pulse(0 V1 1120u 1u 1u Xu Zu)

Objective2 :

遅延ユニットを 18 個追加した大規模構成を作成し、トランジスタパラメータ (W/L・M) をメンバーで手動調整する。パラメータについて特に制限はないが、ディレイユニットの数は出来るだけ少なく、m の値はできるだけ小さく、波形は被らないようにといった要望の中で最適なパラメータを探索した。以下にパラメータを例を表す。

M1 w=100u l=100u m=1 M2 w=100u l=100u m=1

M3 w=100u l=100u m=1 M4 w=100u l=100u m=1

4. 成果・結果

4-1. NAIST インターンシップ

回路の作成ミスや接続方法のミスなど紆余曲折あったが以下のような回路を作製することができた。画像では分からないが、4bit で0 から 1 ずつ加算されていく様子を確認することができた。

また講義の中で、コンピューティングアーキテクチャの仕事の重要性や、今後私たちは何のためにニューロモフィックシステムの開発を目指すのかなどを理解することができた

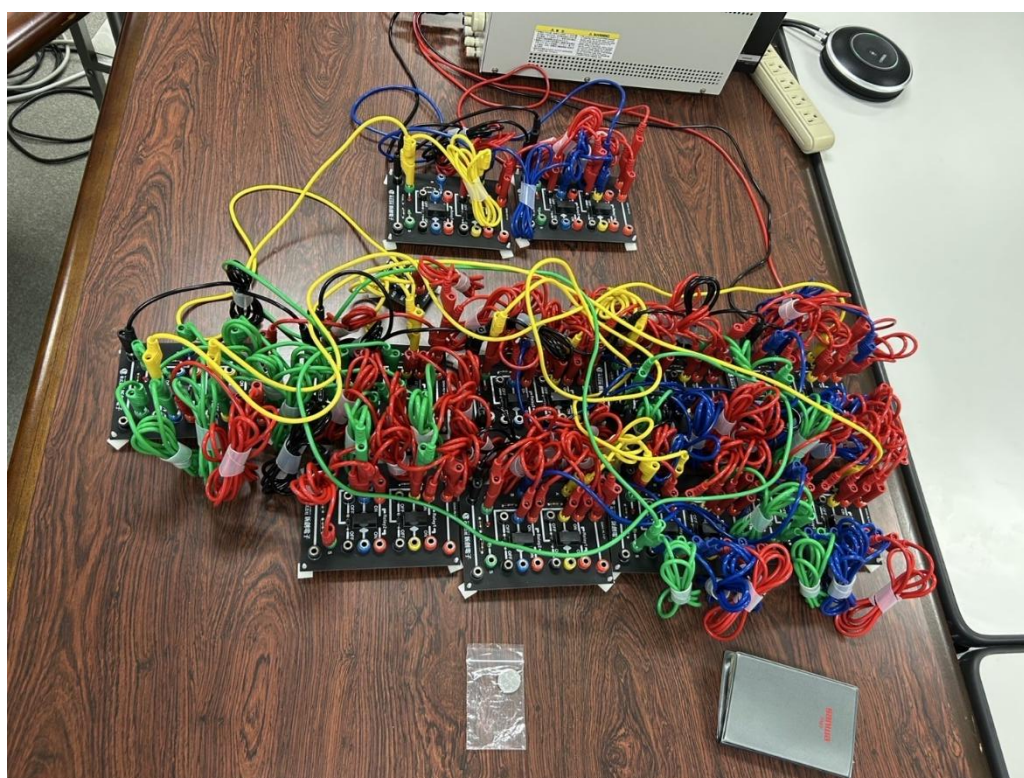


図 1 2bit の計算機

4-2. NCKU インターンシップ

Objective1:

全パターンシミュレーションした結果として、 $X=30, Y=50, Z=100$ の時が最も動作速度が速いことが分かった。以下の図が改善前と改善後を示している。注目すべきところは赤線の $v(out)$ である。改善前と比較して発火スピードが上がっていることが分かる。

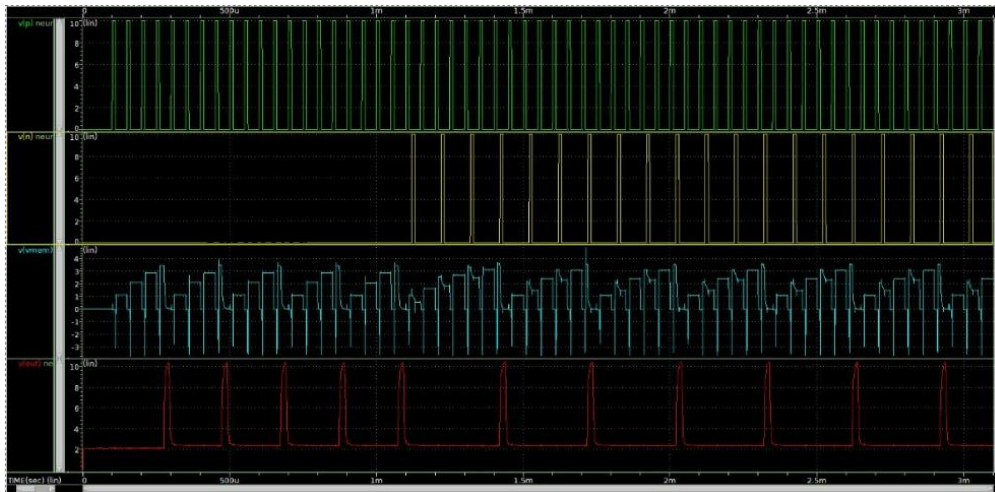


図 3 Objective1 改善前

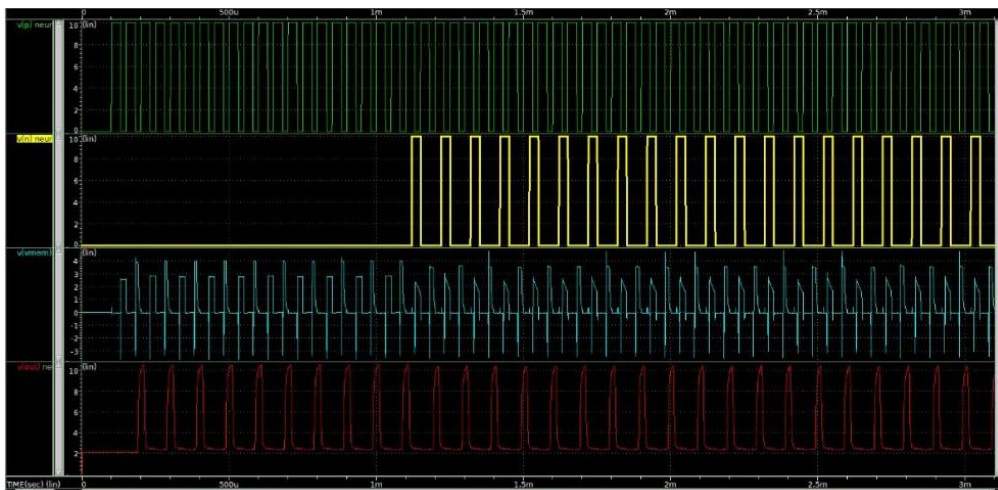


図 2 Objective1 改善後

Objective2:

多数の設定を試みたがディレイユニットの最低個数は4個であると結論付けされた。理由としてディレイユニットが2個の場合電圧抑制が不十分で、波の大きさが調整できなかった事が挙げられる。そして最終的に以下のパラメータが、遅延・波形の大きさ・電力のバランスが最も良いと判断された。

採用されたパラメータ：

M1 w=20u l=40u m=1 M2 w=20u l=40u m=1

M3 w=10u l=45u m=1 M4 w=10u l=45u m=1

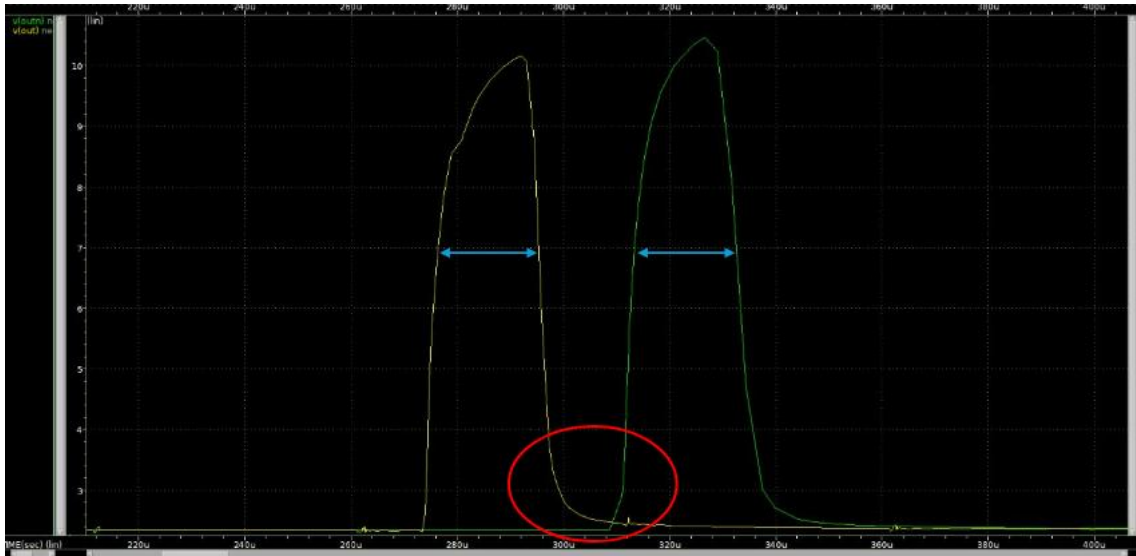


図 4 Objective2 採用されたシミュレーション結果

5. 考察

4-1. NAIST インターンシップ

今回の実習で物理的なリレーは遅く、破損しやすいことを理解した。また高性能化をするのは配線やサイズ等の問題からも難しく、電子計算機が半導体平行した理由を肌で理解することができた。一方で教育的な価値は大きいと考える。抽象的な論理記号ではなく、実際に動く「機械的な論理回路」として理解できるのは大きな利点である。加算器・カウンタの仕組みが“完全に見える化”され、通常はブラックボックスになりがちな CPU の内部処理が、配線とリレーとして見える形になっており、計算機科学の本質理解に役立つのではないかと考える。

4-2. NCKU インターンシップ

今回の実習では計 200 回を超える試行をもって最適な値を探索した。しかし これを実際のデバイスを制作し行った場合、どれほどの時間が必要になるのか見当もつかない。よって今回の経験から、回路システムを開発するうえでの、回路シミュレーションの重要性を再認識することができた。またニューラルネットワークの一部を実際に開発することで、自分たちの研究のゴールをより鮮明に理解することができたと考える。

6. 参考資料/受賞歴

滋賀県中小企業団体中央会 会長賞 受賞

本活動における計算機構築実習およびニューロモフィック回路最適化への取り組みが高く評価された。

表彰状

