

企画番号 2024-19

<2024-19_薄膜デバイスとニューロモーフィックシステムの調査・研究>

代表者 Y220371 清水 結翔

メンバー Y220310 佐野 舜典, Y220312 青木 尊

Y220344 池田 智彦, Y220353 高村 大翔

Y220393 高橋 俊作, Y220403 堀尾 璃玖

Y220406 大安 康介

アドバイザー教員 木村 睦

1. 企画の目的、動機

現在、薄膜デバイスは、エレクトロニクスのキーデバイスとして、広く使われている。3次元集積化が容易で、大型基板に作製が可能、基板の材質を選ばないなどといった長所がある。一方、現在普及しているコンピュータにはノイマン型アーキテクチャが用いられているが、ノイマン型アーキテクチャには、写真や動画などの非構造化データを効率良く処理できないという弱点や、プロセッサと記憶装置を接続するバスのデータ転送速度がネックとなって性能が向上しない、いわゆるフォン・ノイマン・ボトルネックと呼ばれる弱点がある。そのため、これらの弱点を克服するために、高速な不揮発性メモリ (FeRAM、MRAM、ReRAM、PRAM など)の研究や、非ノイマン型コンピュータ(ニューロモーフィックコンピュータ、量子コンピュータなど)の研究が世界中で盛んに行われており、木村睦研究室においてもこれらの薄膜デバイスとニューロモーフィックシステムの研究が行われている。

このプロジェクトリサーチでは、装置の使い方や測定の仕方を教えてもらいながら一つの薄膜デバイスを作製し特性の測定をする、NAIST や台湾国立成功大学でのインターンシップに参加し、薄膜デバイスやコンピューティングアーキテクチャに関する理解を深める。これら活動を通して、今後の研究活動がより主体性のあるものとなるよう努力したいと思っている。

2. 企画概要、計画

木村睦研究室では「抵抗変化型メモリストア」班、「STDP」班、「ショットキー+メモリストア+キャパシタ」班、「M社共同研究」班、「北海道大学共同研究」班、「TFT・強誘電体」グループ、「ESR」班の7班に別れて研究を行う。また、木村睦研究室以外での研究として、7月中旬における1週間のNAISTインターンシップを利用し、奈良先端科学技術大学院大学のコンピューティングアーキテクチャ研究室で研究、夏季休業の1週間を利用し、台湾国立成功大学での短期間の研究を行う。奈良先端科学技術大学院大学では、実際のニューロモーフィックシステムのLSIを用いて、手書き文字認識の認識精度向上に挑む。台湾国立成功大学では、ニューロモーフィックシステムの新方式について、回路シミュレーションによる評価を行う予定である。

3. 成果

3-1.抵抗変化メモリ

3-1-1.研究背景と目的

抵抗変化型メモリ ReRAM は、高い電荷移動度、超高速性、長保持時間、低消費電力という点で優れており、抵抗変化素子やニューロモルフィックシステムの開発に注目されている。実用化が進んでいる IGZO ベースの半導体は高いスイッチング比を持っているが、レアメタルを多く含み、毒性が強いことが知られている。私たちは、GTO や ZTO、また新たな非晶質酸化物半導体を使用することで、環境への負荷を抑えた半導体の開発を目的としている。また、主に使用される真空成膜（スパッタリング法）も、高消費電力であり、環境負荷が大きい。そこで私たちは、真空成膜を用いない、ミスト CVD 法を使用する。スパッタリング法で作られるものと同じくらいの性能の良さがある ReRAM をミスト CVD の低コスト、低エネルギー、組成比を容易に変えることができるという強みを活かして作製する。

3-1-2.実験方法

- 1.真空蒸着法 下部電極：Ti→Al 蒸着時間：5min
- 2.ミスト CVD 成膜温度：350°C 成膜時間：20min
- 3.真空蒸着法 上部電極：Ti→Al 蒸着時間：5min

3-1-3.デバイス構造・条件

組成比：Ga : Sn = 1 : 3

モル濃度：0.030mol/L

キャリアガス：2L/min.

希釈ガス：1L/min.

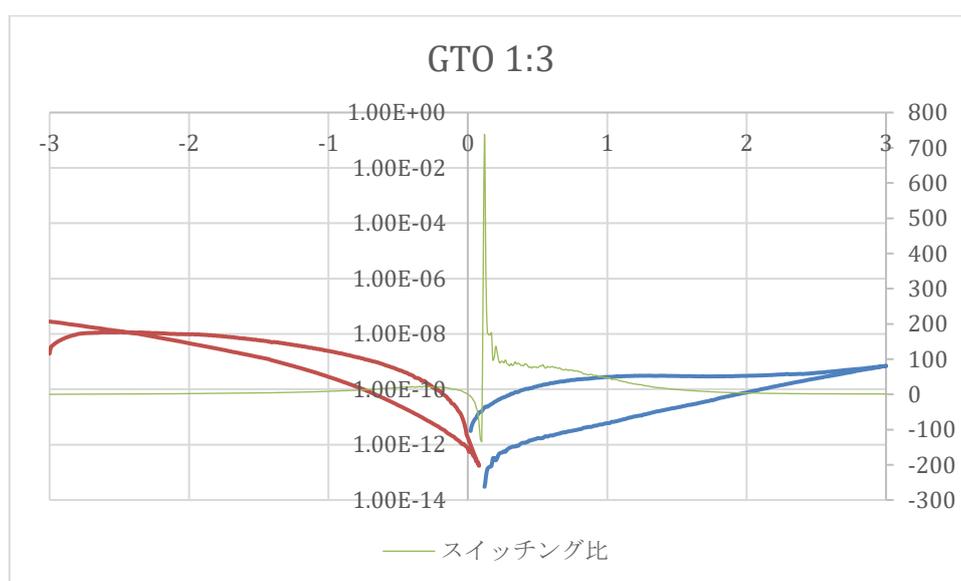


図 1 : GTO デバイスのスイッチング比

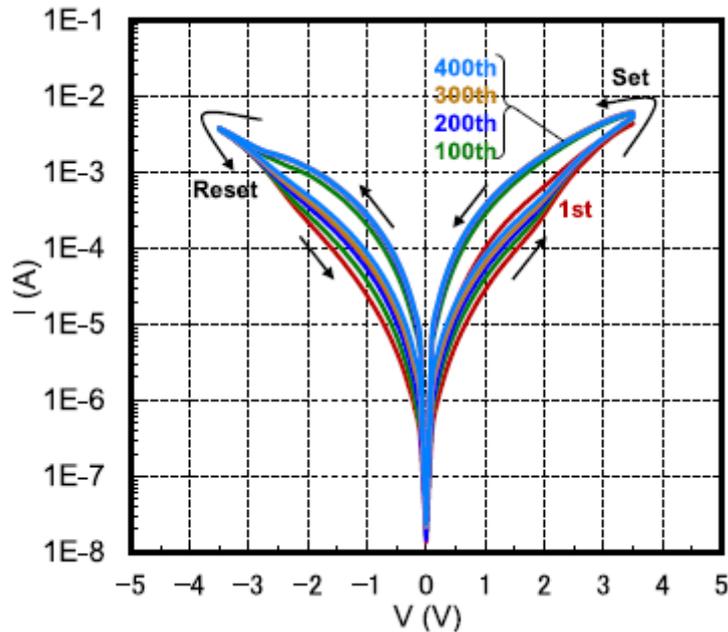


図2：前年度のGTOグラフ

電気特性を半導体パラメータで比較を行った。赤文字が変更点である。2つのグラフを見比べるとAlが多い方に開きがあることが確認することができる。しかし、この開きはごくわずかなものであり、私達が求めている良い特性にはほど遠いと言える。今後の研究としては、材料や成膜温度、組成比を変え、特に膜の均一に着目して良い特性が得られるように務める。

さらに、新たな物質での半導体や、繰り返し測定を行い、高耐久なデバイス制作にも取り組んでいく。

	電極	スイッチング比(1V)	材料	組成比	成膜温度	成膜時間
今回	Al	46	GTO	1:3	350°C	20min
以前	Ti	7.24	GTO	1:3	350°C	20min

表1：条件の比較

3-2.負性微分抵抗

3-2-1.研究背景と目的

抵抗変化型メモリは並列処理能力の高さ、ロバスト性、低消費電力、大容量、高速化という点で注目を浴びている。その抵抗変化型メモリの電圧-電流特性が、脳の神経細胞同士が情報をやりとりする部分として機能をもつシナプスの膜電位と類似していることから、抵抗変化型メモリがニューロモーフィックシステムとして実装できるのではないかと考えた。ニューロモーフィックシステムに実装できるメモリの開発を行っている。

従来、そして現在では抵抗変化型メモリの抵抗変化層としてIn-Ga-Zo-O(IGZO)が使われている。ただこれはレアメタルの不足やInが毒性を持つことから、環境にあまり優しく

ない。そこで、本研究室ではIGZOにとって代わるGa-Sn-O(GTO)を使って、デバイスを作製している。GTOはレアメタルが含まれず、毒性もないことから現代の環境問題や資源枯渇問題を解決してくれるものであると考える。

本研究室においてGTOを用いた抵抗変化型メモリの研究が盛んにおこなわれている。GTOを様々な成膜条件で成膜を行ってきた。すると、とある成膜条件において「負性微分抵抗」と呼ばれる電圧の増加に対して電流が減少する現象が見られた。今回はこの負性微分抵抗が起こるGTOの成膜条件の確認を行った

3-2-2.実験条件とデバイスの構造

真空蒸着：下部電極 Al ， 上部電極 Al クロスバー型

(蒸着時間：下部電極 3min ， 上部電極 3min)

RF マグネトロンスパッタ：抵抗変化層 GTO

(Ar/O 比： 10/0.5 , 20/15 , 10/0.5)

3層構造

投入電力：60W

基板：ガラス

3-2-3.実験結果・考察

上記の実験条件で作製したデバイスについて半導体アナライザーを用いて電圧-電流特性の測定を行った。測定結果が図3である。電圧が約3V~4V付近で電流が減少することが確認できた。ただ、上記と同じ条件でも、負性微分抵抗が見られないこともあった。図4は負性微分抵抗が見られなかったときの抵抗変化型メモリの電圧-電流特性である。

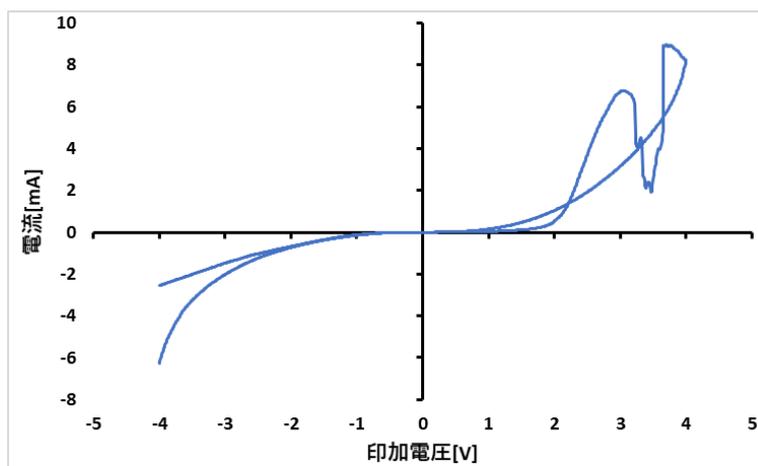


図3 作製したデバイスの電圧-電流特性

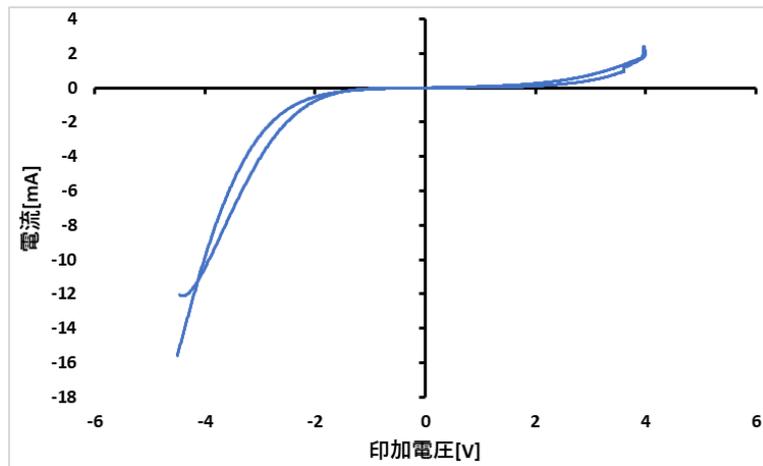


図4 負性微分抵抗が現れなかったときの電圧-電流特性

同条件で作製したデバイスで、なぜ負性微分抵抗が出るデバイスと出ないデバイスがあるのかを今後明らかにしていきたい。そのためには、なぜ負性微分抵抗が起こるのかを解明しなければならない。原理の解明のために、様々な実験条件で成膜を行ってゆく必要があると考えるため、今後の課題としてこれからも研究を行ってゆく。

3-3. STDP

3-3-1. 研究背景と目的

人工知能の分野で、ハードウェアであるニューロモーフィックデバイスを実現することによって、高消費電力などの問題の解決することを目指す。ニューロモーフィックとは、ニューラルネットワーク（人間の脳の神経細胞であるニューロンとシナプスから構成される神経回路網）を模した電子回路によって構成されているものである。研究の目標は、スパイクングニューラルネットワークの学習則の一つである、スパイクタイミング依存シナプス可塑性(STDP)を用いて、低消費電力かつ人間の脳に近い学習が可能なデバイスの作製することである。シナプスとして Ga-Sn-O(GTO)を、ガラス基板上に成膜する。そして、時間差をつけてパルスを入力し、その際の電気的特性を測定する。結果、GTOをシナプス素子として用いた STDP 学習則によるニューロモーフィックデバイスを作製できる可能性を示す。

3-3-2. デバイス構造・条件

[真空蒸着装置]

上部電極 Al 5min

下部電極 Au 5 min

[ミスト CVD 法]



Ga:Sn = 1:3

成膜時間 20min

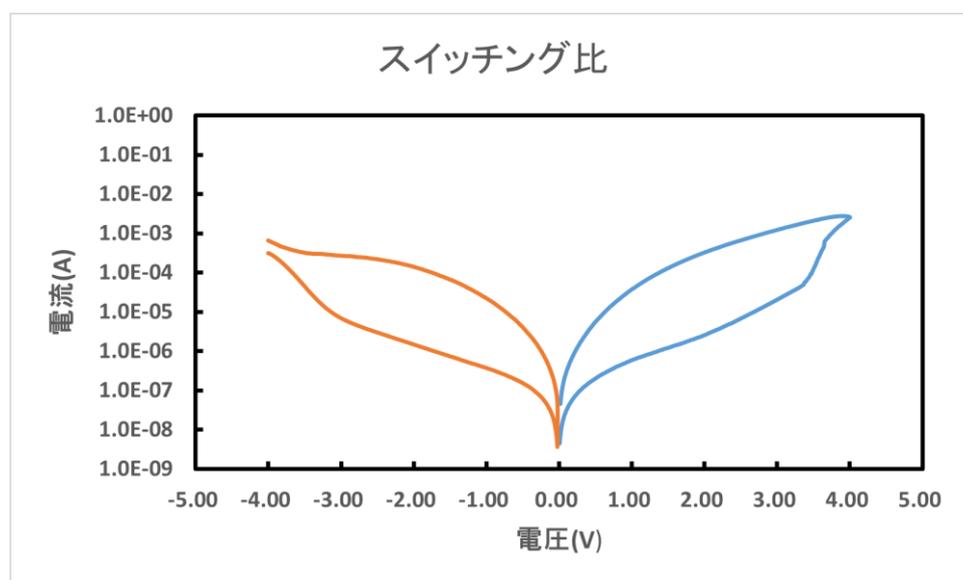
3-3-3.実験方法

[半導体パラメータアナライザ]

± 4 V まで 0.5V ずつ電圧印加し、I-V 特性の測定を行った。

3-3-4.結果と考察

今回実験では、STDP 測定をするために、主に上記のデバイスを作成、そして I-V 測定を行った。STDP 測定をする前に I-V 測定を行い、抵抗変化を行えるかを検査した。その結果を以下に示す。



今回の I-V 測定の結果としては、スイッチング比は 131 と、ミスト CVD 法で作製したデバイスとしては比較的高い性能を出すことができたが、STDP 測定をする際にすぐ壊れてしまった。このことより、スイッチング比は高いがデバイスの耐久性に問題があり、膜厚もかなり薄かったと考える。

今後は、スイッチング比をキープしつつ、耐久性も優れているデバイスを作製し、STDP 測定に持ち込めるよう研究を続けていきたい。

3-4. ショットキー+メモリスタ+キャパシタ

3-4-1. 研究背景と目的

近年、人工知能研究が盛んに行われていて、その代表的な技術としてニューラルネットワークがある。ニューラルネットワークは、脳の神経回路をもとに情報処理モデルである。現在、ソフトウェアでの研究が主流であるが、サイズや消費電力などに問題がある。一方、ニューロモーフィックは、ハードウェアで脳を模倣することで小型化・低消費電力化が期待できる。そこで、メモリスタ+キャパシタを用いたニューロモーフィックデバイスの作製を目的としている。

3-4-2. デバイス作製手順

1. 真空蒸着を用いて、基板に下部電極として Al を堆積させる
2. ミスト CVD を用いて、アモルファス酸化物半導体を下部電極の上に成膜する
3. 真空蒸着を用いて、酸化物半導体の上に上部電極として Au を堆積させる

3-4-3. ミスト CVD 法について

- ・原料溶液を霧状にして、キャリアガスによって反応部に運ぶ。そこで、原料を熱分解によって反応させ、基板に堆積させる。
- ・メリット
 - ・非真空で成膜可能
 - ・プラズマ等の高エネルギー付与を必要としない→安全かつ低コストで省エネルギーな手法
- ・デメリット
 - ・毒性のあるものは成膜できない
 - ・正確な膜厚制御が難しい
- ・ファインチャンネル法式を採用
 - 基板上の反応空間を通常より狭めているため、基板への原料の押しつけ効果が期待できる

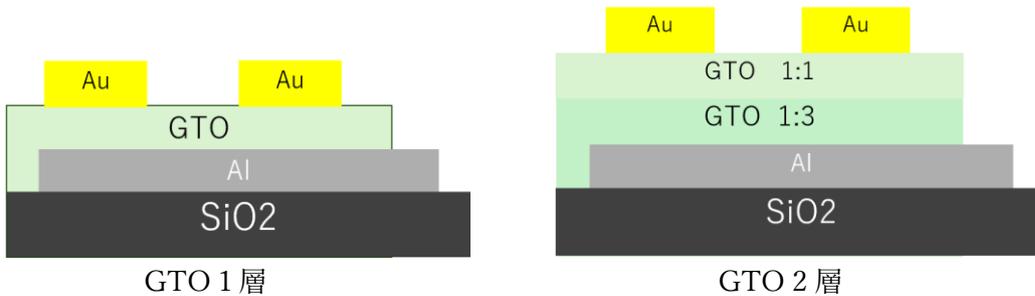
3-4-4. 実験条件とデバイス構造

共通条件

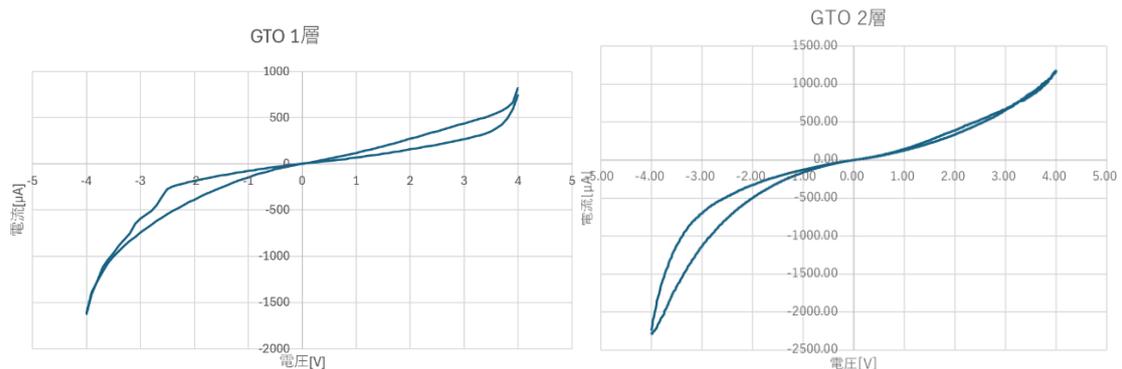
- ・下部電極：Al 5 分間蒸着
- ・上部電極：Au 5 分間蒸着
- ・モル濃度：0.03mol/L
- ・キャリアガス：0.5L/min
- ・希釈ガス：10L/min
- ・温度：350°C

GTO1 層と GTO2 層を比較

	Ga : Sn (モル比)	成膜時間
GTO1 層	1:3	20min
GTO2 層 上層	1:1	20min
GTO2 層 下層	1:3	20min



3-4-5.結果と考察



上図は電流-電圧測定の結果である。

左図が GTO1 層のときで、右図が GTO2 層のときである。1 層と 2 層で比較したとき、グラフの形としてはほとんど同じであると言えるが、2 層のグラフでは、電流と電圧の値が負のところではヒステリシスが確認でき、正の値のところではヒステリシスがほとんど確認できなかった。このことから、上層と下層で Ga : Sn の比率を変えた 2 層のデバイスは 1 層のデバイスと比べて、少し特性が異なることがわかった。

今後は 2 層の比率を変えながら、特性の変化を確認し、原因を調べていきたい。

3-5.M 社共同研究 強誘電体電界効果トランジスタ (FeFET) + キャパシタ

3-5-1. 研究背景と目的

現在の第3次人工知能ブームでは、知識表現をあらかじめ準備しておくのではなく、人工知能が自ら学んでゆくことで、問題を解決するというアプローチがでてきた。これには、しばらく前から研究されていたディープラーニングが使用されるのだが大量の処理を必要とし、使用することが難しいとされていた。しかし、近年のハードウェアの急速な進歩により、それが可能となりブームが来ている。

人工知能の最終的な目標は人間の脳の機能を忠実に再現できるものである。人間の脳を忠実に再現する方法として注目されているのが人工ニューラルネットワークである。ニューラルネットワークは生物の脳の神経回路を基にした情報処理モデルであり[2]、自己組織化機能、自己学習能力、並列分散処理、ロバスト性といった特徴を持った人工知能の1つである。

今現在、主流であるソフトウェアでのニューラルネットワークはフォンノイマン型の直列逐次式制御方式を取っているので処理時間が多く掛かる。さらに、ソフトウェアのニューラルネットワークは大規模のサーバに接続することで、消費電力が大きくなってしまいう問題がある。

ハードウェアでのニューラルネットワーク、すなわちニューロモルフィックを実現することで並列分散処理が可能であり、個々の動作は遅いが、様々な処理を同時に行うことが可能となる。また、ロバスト性があり、サーバへの接続もないため消費電力を抑えることができる。様々な処理を行うことができるニューロモルフィックを構築するためには大規模なニューラルネットワークで構築することが好ましく、そのために高集積化できるデバイスが必要であることから今回の構造を提案する。

本研究では、シナプス素子として強誘電体電界効果トランジスタ (FeFET) とキャパシタを回路に組み込み、シングルなパルス列を印加し、その際の電気的特性を測定した。さらに、生体内でニューロンの発火に伴って起こる膜電位のリセットを、この装置で電氣的に再現したこと、ゲート電圧の変化によってシナプスの接続強度を再現できる可能性を報告する。

3-5-2.デバイス構造

本研究で使用した FET は村田製作所から提供して頂いた FeV-cap(Ferroelectric-gate controlled Variable area Capacitor)を用いている。その構造と断面構造を図 5 に示す。

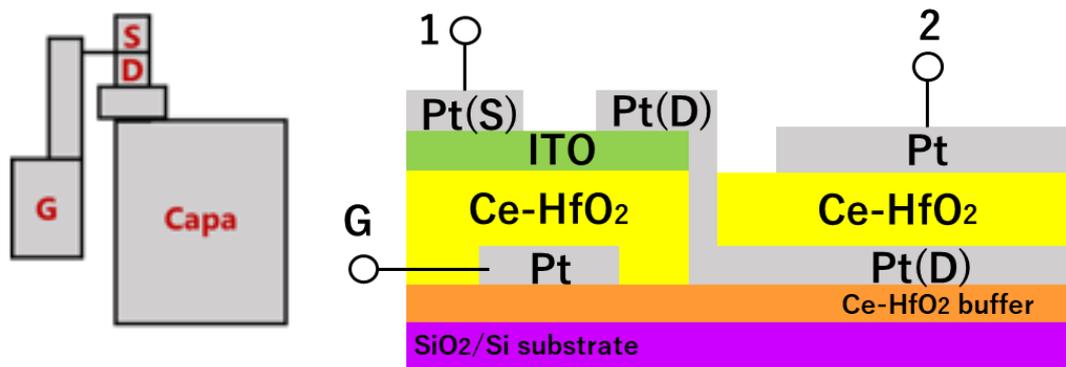


図 5 デバイスの上から見た構造と断面構造

3-5-3.測定方法

FET 特性を確認するために、半導体パラメータアナライザ(Agilent Technologia4156C)を用いて以下に手順を示す。

- 1 ソース、ゲート、ドレイン電極の 3 ヶ所に鉗を置く。
- 2 ゲート電圧(V_{gs})として、Step : 0.1V で -10V~10V の電圧を往復するように印加する。
- 3 ドレイン電圧として 0.1V を印加する

次にシナプス測定では任意波形発生装置、オシロスコープを用いて、電氣的に膜電位の挙動を再現できることを確認する。

3-5-4.実験結果・考察

今回使用した FeV-cap の FET 特性を確認した。以下にその測定結果を図 6 に示す。

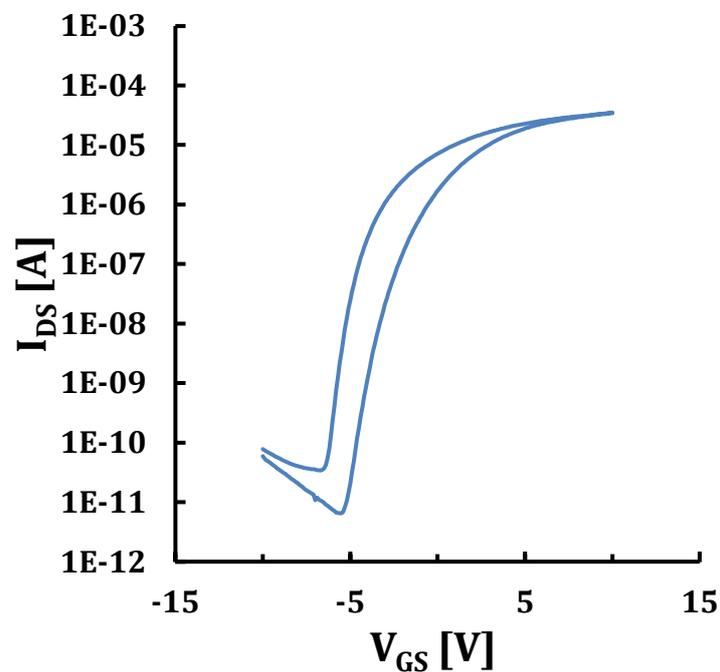


図 6 FET 特性

上記の図のように、反時計周りのヒステリシスが得られた。

そして、次に強誘電体電界効果トランジスタとキャパシタを組み合わせた回路にパルスを送り、脳内のシナプスの様な挙動の電位が見られるか確認した。

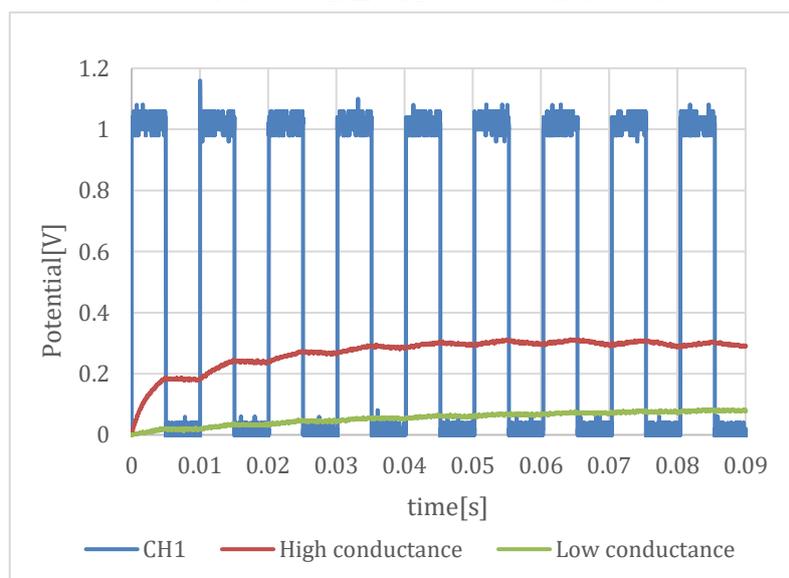


図 7 シナプス評価

図6の結果より反時計回りのヒステリシスが得られ、強誘電体電界効果トランジスタとして利用できることを確認した。さらに、図7を見ると強誘電体電界効果トランジスタとキャパシタを組み合わせた回路へパルスを送ると、生体内の膜電位のような挙動が得られた。また、強誘電体の特性を活かし高コンダクタンス状態、低コンダクタンス状態が存在します。それぞれの状態で電圧の一段当たりの上昇量が多くなるという傾向が見られた。これは、それぞれの動作によって挙動をアナログ的に重み付けできることを示している。

上記に示したように、本研究から強誘電体電界効果トランジスタとキャパシタを組み合わせたものは、ハードウェアでのニューラルネットワークを実現するにあたって、印加電圧によって異なるシナプス強度で信号伝達が可能であることが確認された。

3-6.2 層の a-IGZO メモリスタデバイスの成膜条件最適化

3-6-1.研究背景と目的

近年、人工知能の研究が盛んに行われていて、その代表的な技術としてニューラルネットワークがある。ニューラルネットワークは、脳の神経回路をもとにした情報処理モデルである。現在、ソフトウェアでの研究が主流となっており、サイズや消費電力などに問題がある。対して、ニューロモルフィックは、ハードウェアで脳を模倣することで小型化・低消費電力化が期待できる。そこで、メモリスタ+キャパシタを用いたニューロモルフィックデバイスの作製を目的としている。その中でも、私は現在アモルファス酸化物半導体として IGZO (In-Ga-Zn O) を使用してまずメモリスタ特性のみの成膜条件最適化を行っている。

3-6-2.デバイス作製条件

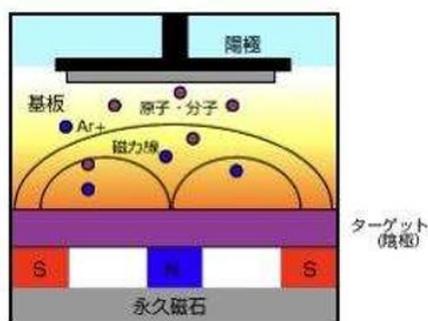
- 1.真空蒸着を用いて、下部電極を成膜する
- 2.スパッタリングまたはミスト CVD を用いてアモルファス酸化物半導体を成膜する
- 3.条件に応じて大気アニールを行う
- 4.真空蒸着を用いて、上部電極を成膜する

まずガラス基板に下部電極 (Al) を成膜し、アモルファス酸化物半導体の成膜を行う。当実験では、アモルファス酸化物半導体として GTO (Ga-Su-O) や IGZO (In-Ga-Zn O) を使用している。次に上部電極 (Au) の成膜を行う。必要に応じて、大気アニールによって膜状態の安定化を図る。アモルファス酸化物半導体の製膜方法には、スパッタリング法とミスト CVD 法がある。以下では各方法での製膜条件や測定方法をまとめる。

3-6-3.デバイス作製条件 (RF マグネトロンスパッタリング)

- ・スパッタリングとは

スパッタリングとは、薄膜形成に用いられる物理的気相成長法(PVD)の1種であり、ターゲット(薄膜形成の材料)とガラスやシリコン基板など(薄膜を形成したいもの)を設置した真空状態のチャンバ内に、不活性ガス(Arなど)を導入する。不活性ガスであるArは、ターゲット側を陰極として高電圧を印加することでAr+となり、Ar+が陰極であるターゲットに引き寄せられて、ターゲットに衝突することで、ターゲット原子/分子が叩き出され、シリコン基板に薄膜が形成される。真空状態で処理を行うため、不純物の少ない薄膜形成ができる。また、今回用いたRFマグネトロンスパッタリングは、マグネットを接地することで電極近傍の電場と直交する磁場を発生させる。磁場があることにより、磁場に電子が集まり、電子密度の高い空間を作り出すことができ、電子がArに衝突する回数が増え、Ar+の生成が促進される。増加したAr+がマイナスに帯電しているターゲットに引き寄せられてスパッタするため、成膜速度を速くすることができる特徴がある。



(参照：尾池工業株式会社 <https://www.oike-kogyo.co.jp/research/column/sputtering/>)

・作成構造・条件

クロスバー型デバイス

下部電極 Ti, Au

IGZO

ガス流量比 20/0, 20/15

成膜時間 20分, 10分

アニール 300°C, 30分

上部電極 Al

3-6-4.測定方法・条件

本実験では以下の測定を行う。

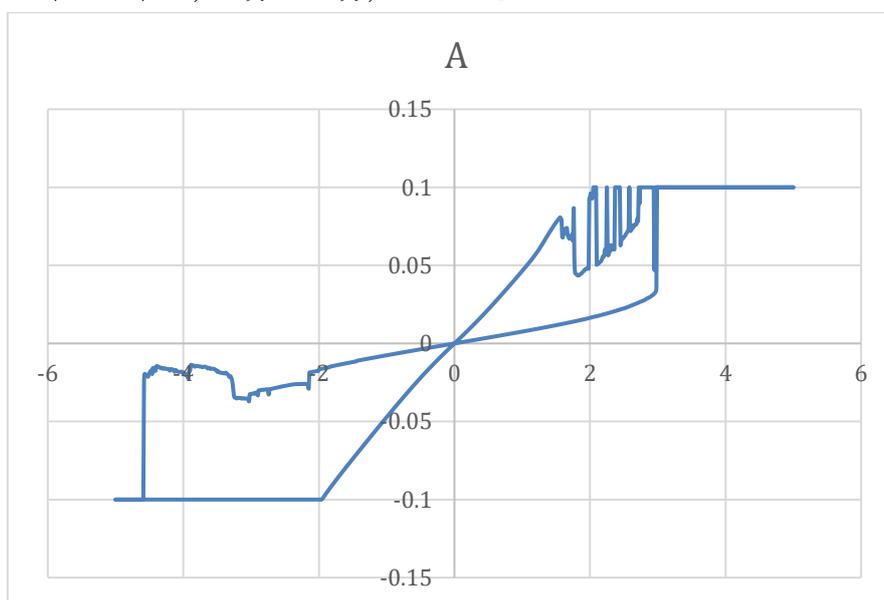
・半導体パラメータアナライザでメモリスタのI-Vを測定する。

1. 上部電極から下部電極にかけて電圧を加える。
2. 出力されるI-Vグラフを確認する。
3. データをまとめ、考察する。

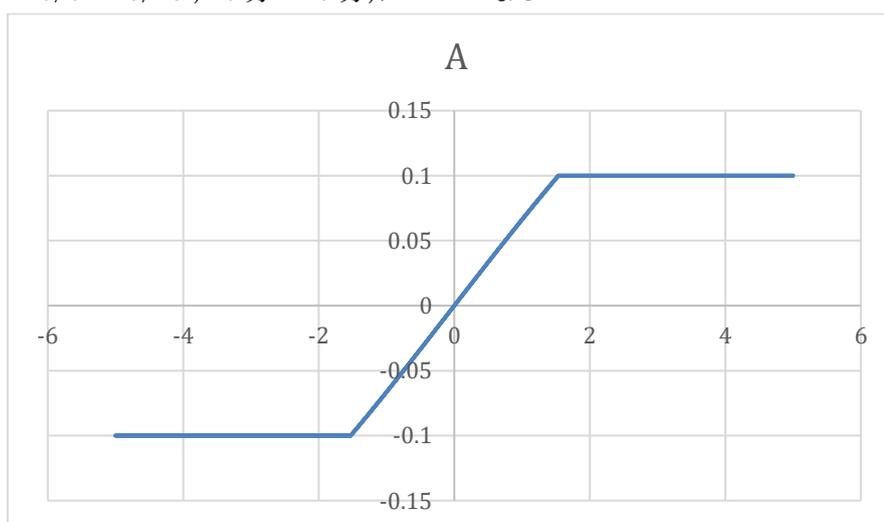
4. 条件を変えて1~3を繰り返す。
- ・半導体パラメータアナライザで絶縁膜のI-Vを測定する。
- ・電気回路部品を用いてブレッドボード上にニューロンを再現。
 1. ブレッドボード上に回路を組む。
 2. 任意波形発生装置を使い、オシロスコープで観察する。
 3. データをまとめ、考察する。
 4. 条件を変えて、1~3を繰り返す。

3-6-5 結果 (RF マグネトロンスパッタリング)

- ・ Ar/O₂ : 20/0 : 20/15 , 20分 : 10分, アニールあり



- ・ Ar/O₂ : 20/0 : 20/15 , 20分 : 10分, アニールなし



上記の図は、条件のアニールをした場合としなかった場合についてそれぞれ示している。

アニールをすることによって、I-V グラフの特性（開き）が向上していることが分かる。その結果、薄膜の状態が安定化されたことが原因と考えられ、メモリスタ特性として良い結果が出ていることがわかる。

3-7.TFT+強誘電体

3-7-1.研究背景と目的

近年、テレビやスマートフォンは大型化、軽量化、薄型化が進んでいる。現在、ディスプレイの駆動素子として実用化されている TFT は主に多結晶シリコン (poly-Si) やアモルファスシリコン (a-Si) TFT である。現在、この poly-Si や a-Si に代わる低温大面積用デバイス材料として酸化物半導体を用いた TFT の研究が盛んに行われている。アモルファス酸化物半導体の代表的な例として IGZO が挙げられるが IGZO に含まれる In はレアメタルであり安定供給や毒性による取り扱いの問題を抱えている。そこで、In と似た電子軌道を持つ Sn と酸素脱離を抑制する Ga に着目し、IGZO の代替として Ga-Sn-O (GTO) を使い、かつ強誘電体を用いたトランジスタ型の FeRAM の実現を目指している。

3-7-2.デバイス構造・条件

今回の実験では、GTO-TFT における性質を知るため、以下の条件で実験を行った。SiO₂ 付き Si 基板上に GTO を、RF マグネトロンスパッタリング法を用いて成膜し、Ar:O₂ 比 20:1.0、20:1.4、投入電力 180W と 240W、120W や基板加熱 150°C となしの条件でデバイスを作製した。デバイスの構造と GTO の成膜条件、作製したデバイス番号を以下の図 8 に示す。

GTOTFTの作製方法

50nm のSiO₂付Si基板の上に
RFマグネトロンスパタリング法における成膜条件

	成膜圧力	Ar:O ₂ 比	成膜時間	基板加熱	投入電力	
GTO	0.8 Pa	20:1.0	25s	150°C	180W	①
				なし	240W	②
		20:1.4		150°C	120W	③
				なし	120W	④

(GTOのGa:Sn比=1:3)

Au真空蒸着し、上部電極を作製

ポストアニール処理
処理温度:350 °C
処理時間:1 h

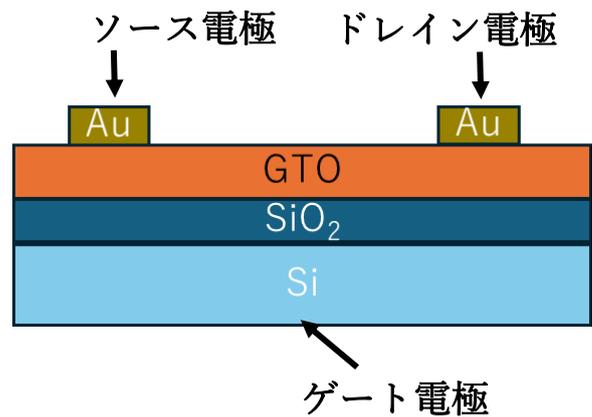


図 8 TFT の作製条件と構造

3-7-3.結果

4つのデバイスに $V_{DS}=20V, -30V \leq V_{GS} \leq 30V$ の電圧を印可して測定を行った。伝達特性は以下の図9、伝達特性から得られた各計算値は表2の通りとなった。

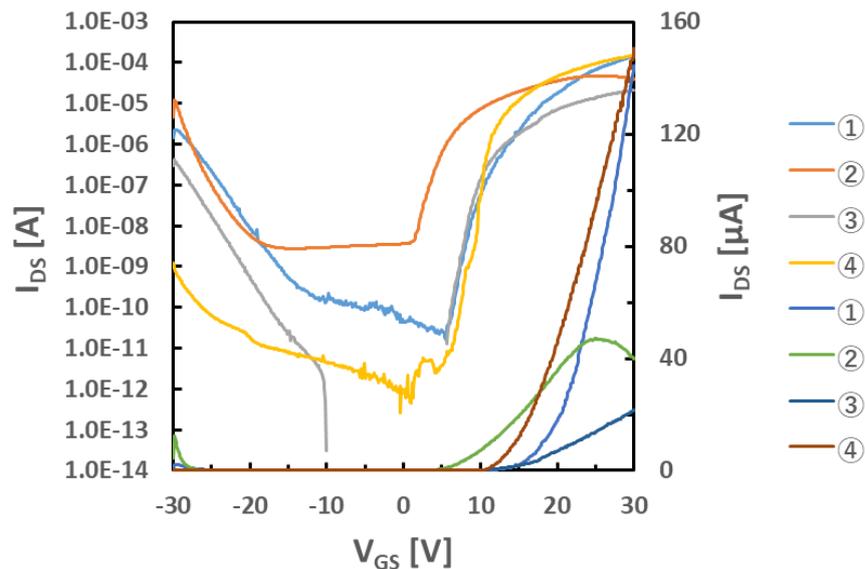


図 9.GTO-TFT の伝達特性グラフ

表 2.GTO-TFT の伝達特性から得られた各計算値

device	V_{TH} (V)	μ (cm^2/Vs)	SS (V/dec)
①	23.8	3.74	0.39
②	13.0	2.82	0.60
③	24.7	1.11	0.41
④	25.0	13.57	0.19

図 9、表 2 より、投入電力 180W と 240W である①と②のデバイスの結果を比較すると、すなわち、投入電力が増加すると、TFT の特性評価で重要な指標の一つである移動度が減少し、TFT の伝達特性が劣化することが分かった。この結果は、投入電力が高いと、成膜速度が速いため、再スツパタや成膜表面を GTO が激しく衝突し欠陥を生成したからだと考えられる。また、②と③の結果より、基板加熱ありのほうが、特性の向上が見られた。これは、Si 基板と成膜面において、水などの不純物を取り除いたからだと考えられる。一方で、Ar:O₂ 比が 20:1.4 のとき、移動度が 4 つのデバイスの中で最も高い結果が得られた。まだまだ、改善の余地はあるが、この結果を踏まえて、更なる GTO-TFT の特性の向上を目指して研究に取り組みたい。

3-8. 電子スピン共鳴 (ESR) : アモルファス酸化物半導体 Ga-Sn-O の格子欠陥の評価

3-8-1. 研究背景と目的

私たちの研究室では、現在主流である酸化物半導体 In-Ga-Zn-O に代わる新たな酸化半導体 Ga-Sn-O の研究に取り組んでいる。In-Ga-Zn-O には、レアメタルであるインジウムを含むため、高価で枯渇資源問題や、毒性が高いなどの問題が挙げられる。しかし、Ga-Sn-O はインジウムを含まないレアメタルフリーであるため、安価で安定供給が可能であり、毒性が低いというメリットがある。この Ga-Sn-O を用いて超低消費電力化が可能である、脳型人工知能の実現をすることが私たちの最終目的である。それぞれの研究チームに分かれて、デバイスを作製して研究していますが、Ga-Sn-O の成膜時の酸素流量を変化させたときの変化が分かっておらず、流量比と酸素空孔などの欠陥の関係性がイメージの世界でした。そこで私は、酸素流量を変化させてプラズマ処理を行った Ga-Sn-O の ESR 信号の違いと関係性を調べることで、酸素流量と酸素空孔の関係性を定量的に評価する研究を行っております。酸素流量比による Ga-Sn-O の違いを明確化することで、メモリスタや ReRAM などの薄膜デバイスの構造に応用できる。

3-8-2.デバイス作製条件

ESR 測定するための基盤を作成するために、スパッタリング技術を用いて Ga-Sn-O を成膜する。スパッタリングには真空中にアルゴンガスや酸素ガスを入れ、電圧をかけることでイオン化させる。そしてプラズマを材料にぶつけて弾き飛ばすことで成膜する。以下に Ga-Sn-O の信号を検出できた時の条件を示す。

電力	180 w
圧力	1Pa
時間	180 分
Ar : O ₂	20 : 5
基板加熱	なし
膜厚	2.1 μm

表 3. スパッタリングによる成膜条件

3-8-3.測定方法

酸化物半導体 Ga-Sn-O の酸素欠陥によるデバイスにもたらす影響を調べるため、電子スピン共鳴 (ESR) 評価技術を用いて、以下に手順を示す。

1. 磁気モーメントを持つ電子 (2 つ以上の異なるエネルギー固有状態が同じエネルギー準位) に磁場を与える。
2. 磁場の方向に対して、平行な状態と反平行な状態に分裂する。
3. スピン間にエネルギー差相当する周波数のマイクロ波を照射すると、低水準のスピンのマイクロ波を吸収し高水準へ遷移する。

3-8-4.実験結果・考察

図 10 は表 3 の条件によって成膜した ESR 測定の結果である。赤丸で示している部分が Ga-Sn-O の信号である。それ以外に凹凸している部分はマンガンマーカという、ESR 測定における軸となるような信号であり、Ga-Sn-O の信号の大きさを比較することで条件による違いを明らかにする。今まで条件を変えて Ga-Sn-O の信号を発見しようとしていましたが、信号はなかなか発見できなかった。その原因として、Ga-Sn-O の膜厚が薄いこと、酸素流量が多いことが考えられる。ESR は成膜基盤の酸素欠陥量を測定するため、膜厚を厚くすること、酸素流量を多くすることで酸素欠陥量は増大し、信号を発見できたと考える。表 1 より膜厚は 2.1 μm と分かるが、メモリスタや TFT に使用される Ga-Sn-O の膜厚は 10nm~50nm であることから、今後は膜厚を薄くしていき、信号を検出できるように研究に注力する。



図 10. 表 1 の ESR 測定結果

3-9.奈良先端科学技術大学院大学インターンシップ

3-9-1.活動内容

奈良先端科学技術大学院大学(NAIST)にて人工知能の文字認識における文字認識精度向上に取り組んだ

3-9-2.使用したもの

MovaXterm , C 言語 , Python , MNIST

3-9-3.実験結果

文字認識精度向上は Soft Clip 法、Stochastic Rounding、非一様ラウンディングがあるが、今回は Stochastic Rounding、非一様ラウンディングでの結果が良かったため、この2つの実験結果を図 11,12 に示す。なお Stochastic Rounding は小数部分と乱数を比較して量子化する方法、非一様ラウンディングはアナログ回路の特性を考慮して量子化する方法である。そしてこの方法を用いることで、エラー率 4%つまり文字認識精度 96%を記録できた。(図 13)

今回の活動でソフトウェアとハードウェアの両方において問題を解決するためには、グラフで視覚化することが重要だということが分かった。

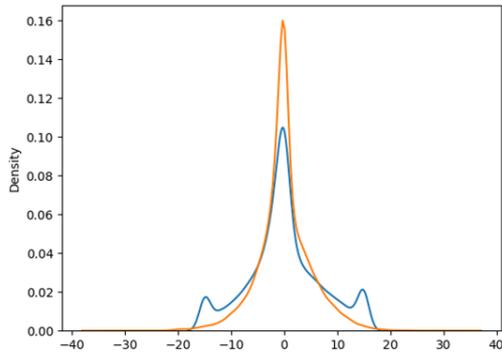


図 11 Stochastic Rounding 法

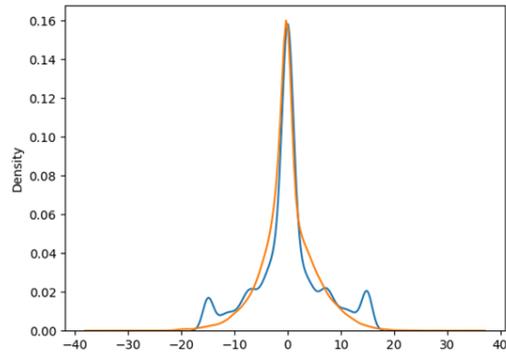


図 12 非一様ラウンディング法

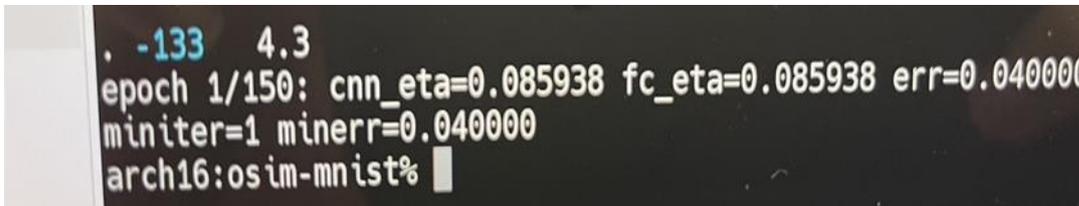


図 13 文字認識精度のシミュレーション結果

3-10.台湾国立成功大学インターンシップ

3-10-1.活動内容

台湾国立成功大学にて HSPICE を用いたニューロモーフィックシステムの回路シミュレーションを行った

3-10-2.実験条件とデバイスの構造

使用ソフト : HSPICE , HSPUI , WAVE VIEW

3-10-3.実験結果

改良元のサンプルコードの回路図は図 14 である。(京都工芸繊維大学_新谷道広先生モデル) 図 14 を改良して作成したコードを基に構成した回路図は図 15 である。図 15 のコードを使用して、回路シミュレーションを行った結果が図 16 である。Vmem197 の部分において電圧-電流の波形が鋭い箇所がある。この部分でシナプスの発火が起こっている。このシナプスの発火を早い時間で起こるように回路を調整するのが台湾成功大学での活動であった。

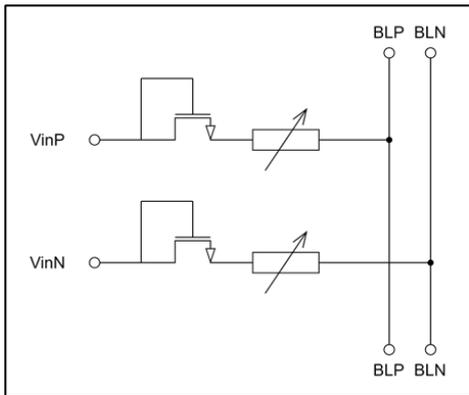


図 14 サンプルコードの回路図

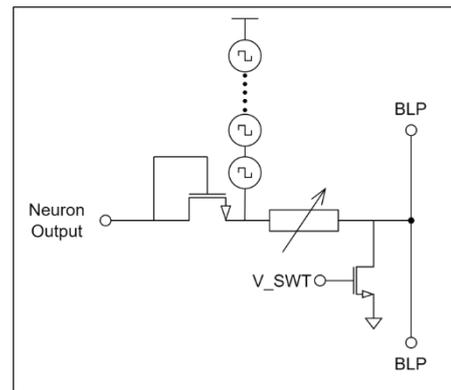


図 15 改良した回路図

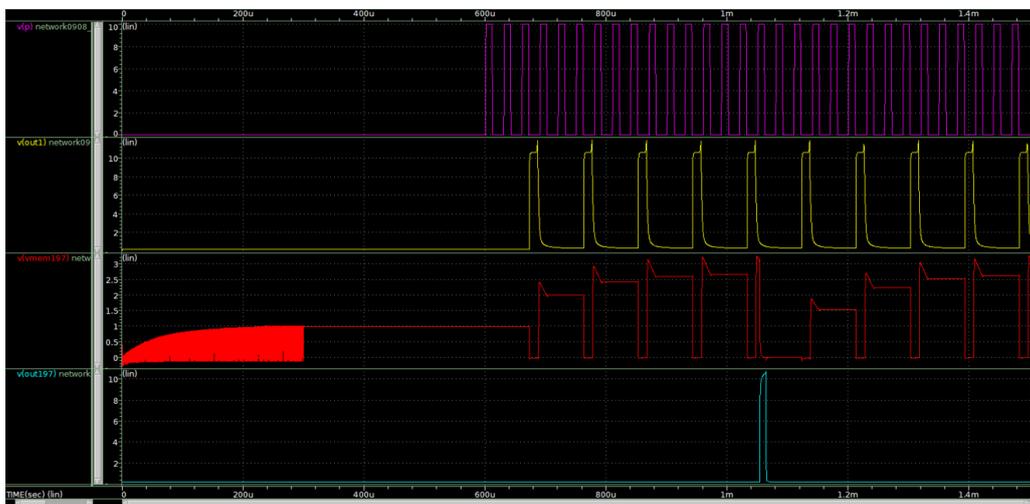


図 16 回路シミュレーションしたときの結果

4.まとめ

プロジェクトリサーチを利用して、木村睦研究室での研究、NAIST インターンシップ、台湾国立成功大学インターンシップを行った。これらの経験で身に着いたことを用いて、今後の研究に活かしていこうと考える。