



**企画番号：26**

**企画タイトル：薄膜デバイスとニューロモーフィック  
システムの調査・研究**



# 活動報告

No.26 薄膜デバイスとニューロモフィックシステムの調査・研究

阿部祥也 宇野和真 北栄人 國本雅椰 澤井一輝  
篠田太陽 嶽山嵐 中祖承良 平野太雅 三上創太

## 概要

### 1.目的

このプロジェクトリサーチでは、木村睦研究室にて薄膜デバイスやニューロモーフィックシステムの応用について学習する。また、NAIST や台湾国立成功大学でのインターンシップに参加し、コンピューティングアーキテクチャに関する理解を深める。これらに関する理解を深めることで、今後の研究活動がより主体性のあるものとなるよう努力したいと思っている。

### 2.計画・調査方法・活動経過

#### 木村睦研究室 (RGAP 期間)

抵抗変化メモリ、STDP、メモリスタ+キャパシタ、TFT・強誘電体、薄膜評価の観点から調査。

#### NAIST インターンシップ

NAIST の研究室にて、コンピュータシステムについて理解する。  
コンピューティングアーキテクチャ (7/1,4,,5,6,7)  
確率的コンピューティング研究室で調査 (7/15,19,20,21,22)

#### 台湾国立成功大学インターンシップ (夏期休暇の 1 週間)

薄膜デバイスについて評価・設計・シミュレーションにより調査する。※中止

### 3.まとめ

今回私たちは、木村睦研究室の活動、NAIST のインターンシップを通じて薄膜デバイスとニューロモーフィックシステムの調査・研究を行った。次世代の不揮発性メモリ (FeRAM、MRAM、ReRAM、PRAM など) や、ニューロモーフィックコンピュータ、量子コンピュータなどの研究はこれからの情報化社会にとってとても重要なものであり、その実現に向けて度量したいと考える。また今回は初歩的な研究しかできなかったが、これからはより踏み込んだ研究を行いたいと思う。

## 1. 目的

現在普及しているコンピュータにはノイマン型アーキテクチャが用いられているが、ノイマン型アーキテクチャには、写真や動画などの非構造化データを効率良く処理できないという弱点や、プロセッサと記憶装置を接続するバスのデータ転送速度がネックとなって性能が向上しない、いわゆるフォン・ノイマン・ボトルネックと呼ばれる弱点がある。そのため、これらの弱点を克服するために、高速な不揮発性メモリ (FeRAM、MRAM、ReRAM、PRAM など)の研究や、非ノイマン型コンピュータ (ニューロモーフィックコンピュータ、量子コンピュータなど)の研究が世界中で盛んに行われており、木村睦研究室においてもこれらの研究が行われている。そこで、このプロジェクトリサーチでは、木村睦研究室にて装置の使い方や測定の仕方を教わりながら一つの薄膜デバイスを作製し特性の測定を行うことで薄膜デバイスやニューロモーフィックシステムの応用について調査、学習する。また、奈良先端科学技術大学院大学 (以下、NAIST) や台湾国立成功大学でのインターンシップに参加し、コンピューティングアーキテクチャや確率的コンピューティングに関する理解を深める。またこれらの活動を通して、今後の研究活動がより主体性のあるものとなるよう努力したいと思っている。

## 2. 計画、調査方法

### 2-1. 木村睦研究室

木村睦研究室にて、薄膜デバイスの作製や特性の測定、世界的な研究開発の状況に関する調査・研究を行う。

各メンバーは複数の研究グループに分かれ、それぞれ調査・研究を行う。

抵抗変化メモリ担当：中祖、嶽山      STDP 担当：北、宇野

メモキャパシタ担当：平野、國本      メモリスタ+キャパシタ担当：阿部、澤井

TFT・強誘電体担当：篠田      薄膜評価担当：三上

### 2-2. NAIST インターンシップ

NAIST コンピューティングアーキテクチャ研究室にて、コンピュータシステムについて学習する。期間中は NAIST のゲストハウスに宿泊する。

7月 1, 4, 5, 6, 7日はコンピューティングアーキテクチャに関する調査・研究を行う。

担当：宇野、北、國本、平野

7月 15, 19, 20, 21, 22日は確率的コンピューティングに関する調査・研究を行う。22日のみオンラインでの自習勉強となる。

担当：阿部、篠田、嶽山、中祖、平野

### 2-3. 台湾国立成功大学インターンシップ

夏期休暇の1週間を活用し、台湾国立成功大学にて薄膜デバイスについて調査・研究する。ただし、コロナウィルスの情勢により中止となる可能性がある。

担当：北、平野

※中止になった



### 3. 成果

#### 3-1. 抵抗変化メモリ

##### 3-1-1. 研究背景と目的

高い電荷移動度、超高速性、長い保持時間、低消費電力という点で優れていおり、抵抗変化素子やニューロモルフィックシステムの開発に注目されている。これまで GTO などの金属酸化物半導体材料が研究されてきたが Zn-Sn-O ベースにした抵抗変化素子などに関する研究はほとんど報告されていない。ZTO は優れた電気特性が確認されている GTO などと似ていて、ZTO はレアメタルを使わずに良く、低コストであり、毒性が低い。これらの事から ZTO は抵抗変化素子やニューロモルフィックシステム開発用のデバイスに応用できる。スパッタリング法で作られるものと同じくらいの性能の良さがある ReRam をミスト CVD の低コスト、低エネルギー、組成比を容易に変えることができることを活かして作製する。

##### 3-1-2. 実験方法

実験方法を以下に示す。

###### [真空蒸着法]

下部電極：Al

上部電極：Al

###### [RF マグネトロンスパッタリング法]

アルゴン酸素比 20:0 / 20:1 / 20:0

成膜時間 3 / 10 / 3 min

###### [真空蒸着法]

下部,上部電極：Ti

蒸着時間 5分

###### [ミスト CVD]

組成比

Zn:Sn=7:3

Zn:Sn=3:7

Hcl=3 g

純水=40ml

### 3-1-3. 結果

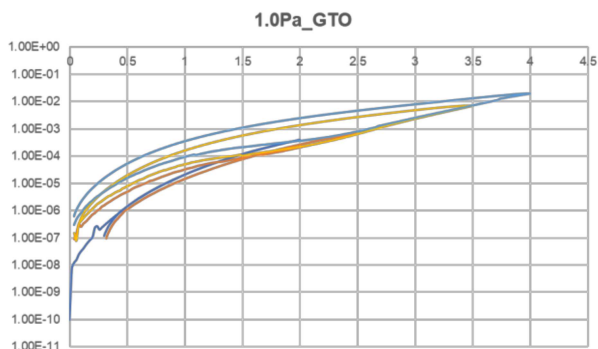


図 3-1 : 1 Pa で成膜した GTO の I-V 特性

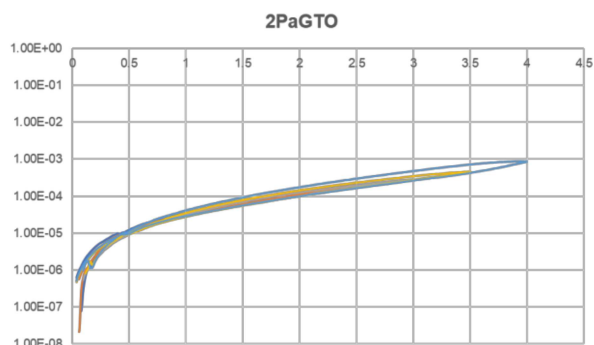


図 3-2 : 2 Pa で成膜した GTO の IV 特性

圧力条件 1 Pa、2 Pa で GTO を成膜した結果をそれぞれ図 1、図 2 に示す。このグラフは、曲線の開きが開いていればいるほど良い結果である。結果の図を見比べると、圧力条件 1 Pa で成膜した GTO の法が良い結果と言える。

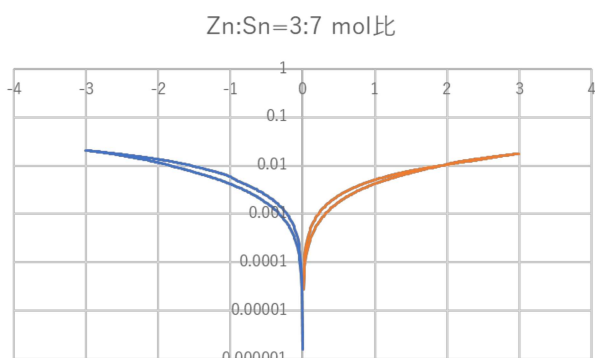


図 3-3 : Zn:Sn=3:7 の電気特性

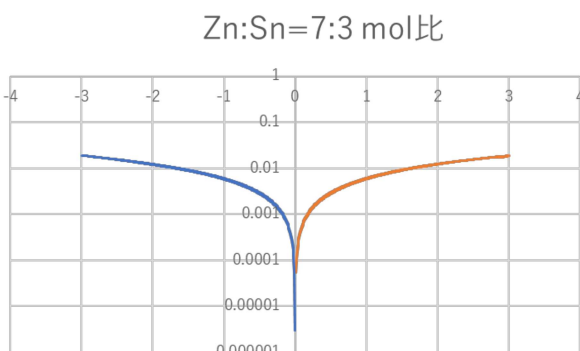


図 3-4 : Zn:Sn=7:3 の電気特性

半導体パラメータで電気特性を調べたところ、Sn が多い方が開きがあり、バイポーララ特性に近い結果が得られた。しかし、求めている良い特性とはほど遠く成膜温度や組成比を変えより良い特性が得られるよう務める。

## 3-2. STDP

### 3-2-1. 研究背景と目的

人工知能の分野で、ハードウェアであるニューロモーフィックデバイスを実現することによって、高消費電力などの問題の解決することを目指す。ニューロモーフィックとは、ニューラルネットワーク（人間の脳の神経細胞であるニューロンとシナプスから構成される神経回路網）を模した電子回路によって構成されているものである。研究の目標は、スパイクングニューラルネットワークの学習則の一つである、スパイクタイミング依存シナプス可塑性 (STDP) を用いて、低消費電力かつ人間の脳に近い学習が可能なデバイスの作製することである。シナプスとして Ga-Sn-O(GTO) を、ガラス基板上に成膜する。そして、時間差をつけてパルスを入力し、その際の電気的特性を測定する。結果、GTO をシナプス素子として用いた STDP 学習則によるニューロモーフィックデバイスを作製できる可能性を示す。

### 3-2-2. 実験方法

実験方法を以下に示す。

[真空蒸着法]

上部 Al 5min

下部 Au 5min

[ミスト CVD 法]

ミスト CVD を用いて以下の条件で成膜を行った。

- Ga:Sn 1.5:5
- キャリアガス:希釈ガス 0.5:10 1:1
- ミスト時間 30min
- ミスト温度 450°C
- HCl 3.0g
- H<sub>2</sub>O 40ml

[半導体パラメータアナライザ]

±2~4V まで 0.5V ずつ電圧を印加し、I-V 特性の測定を行った。

### 3-2-3. 結果と考察

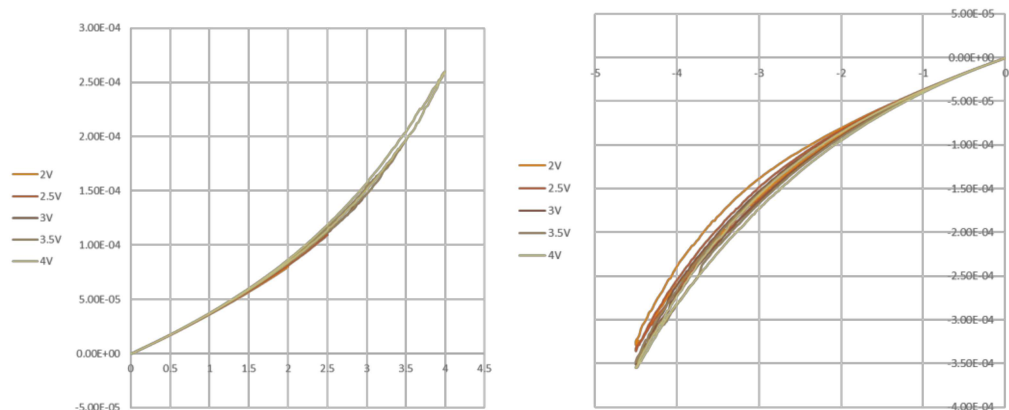


図 3-5 : Ga:Sn=1:5.5 の I-V 特性

図 3-5 のような I-V 特性になり、スイッチング特性には開きがでなかった。また、流れた電流値も小さかった。

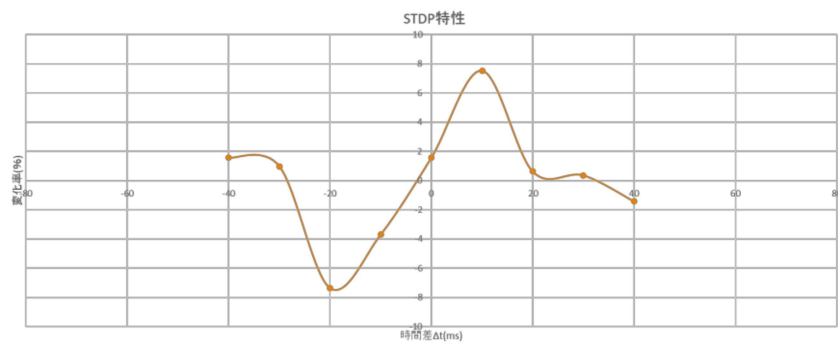


図 3-6 : STDP 特性

I-V 特性に開きがでなかったデバイスの STDP 特性は図 3-6 のようになった。STDP 特性の電流変化率も最大で 8% 程しか変化せず、理想なデバイスとはかけ離れたものになったと考える。このような結果になった理由としては、スイッチング特性に開きがでなかった事にあると考える。スイッチング特性を開かせるために、ミスド CVD の条件をキャリアガスと希釈ガスの比率を 1:1 に変えてみることにした。その結果が以下の図 3-6 である。

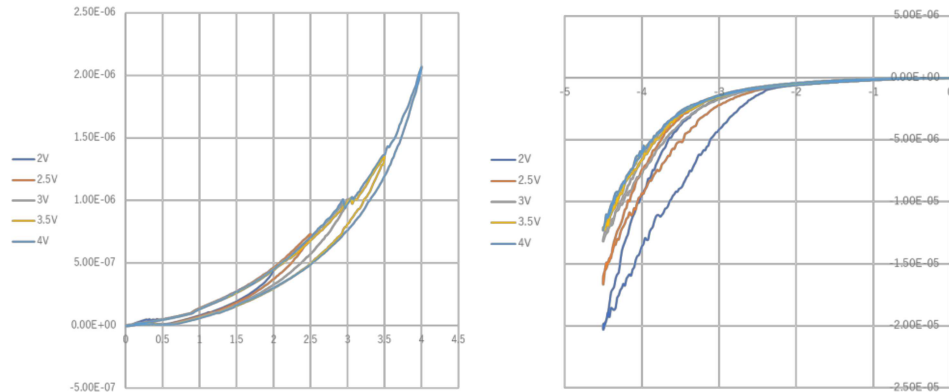


図 3-7：比率を変化させたデバイスの I-V 特性

図 3-7 のように、比率を変化させるとスイッチング特性に開きがでたことから、キャリアガスと希釈ガスの比率を変化させることで、理想的な STDP 特性を実現させる事ができるのではないかと考えた。

### 3-3. メムキャパシタ

#### 3-3-1. 研究背景と目的

情報化社会の進展により世界の情報量(IP トラフィック)は年々増大しており、2030 年には現在の 30 倍以上、2050 年には 4000 倍に達すると予測されている。<sup>1)</sup>それに伴って AI による電力消費量も増加し、世界の AI 業務サーバによる消費電力は 2018 年に 23TWh、2030 年に 1,740TWh、2050 年に 331,000TWh になると推計されている(表 1)。世界 18 カ国による総発電量は 2021 年の時点で 28,466TWh であることから<sup>2)</sup>、このままでは将来的に電力を賄えなくなるだろう。このような背景から、低消費電力で動作する非ノイマン型コンピュータ<sup>3)</sup>の開発が世界中で盛んに行われている。その内の 1 つに、脳の神経細胞の仕組みを模したニューロモーフィックコンピュータがある。そこで本研究では、メムキャパシタをニューロモーフィックコンピュータのシナプス素子として用いることを目標とする。

表 1：AI 業務サーバの消費電力<sup>1)</sup>

		domestic			global		
		2018	2030	2050	2018	2030	2050
work load	EFLOPs	2.7	63	12,000	90	7,000	1,300,000
AI racks	10 <sup>3</sup>	6	141	26,700	200	15,300	2,910,000
AI servers	10 <sup>3</sup>	60	1,405	267,000	2,000	153,000	29,100,000
power consumption: of servers	TWh	0.7	16	3,000	23	1,740	331,000
of CPUs	TWh	0.5	12	2,300	17	1,320	251,000
of memories	TWh	0.1	1.8	340	3	190	37,000
of others	TWh	0.1	2.1	400	3	230	44,000



図 3-8：コンピュータの種類<sup>3)</sup>

メモキャパシタとは、印加電圧の履歴によりキャパシタンスが変化する回路素子である。本研究では特に、強誘電体である  $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$  (HZO) を用いたメモキャパシタを作製する。HZO は作製プロセスが単純であり、また、10nm 程度の超薄膜においても強誘電性が得られることから、将来の高集積化が容易となる。従来の大規模な模倣回路やメモリスタ（可変抵抗素子）の代わりに、メモキャパシタ（可変容量素子）を用いるため、DC 電流が無く、過渡電流も減り、電力消費が大幅に減る。また、自律局所学習は、単一素子が自分自身の駆動条件のみで特性を変化させる学習方式であり、将来の高集積化が容易となる。従来のシナプス素子の結合強度の制御回路など無しに、メモキャパシタの電圧履歴のキャパシタンス特性を上手く利用することにより、メモキャパシタだけで、ニューロモフィックシステムに学習させることができる。

### 3-3-2. 実験方法

実験方法を以下に示す。

#### [RF マグネトロンスパッタリング法]

RF マグネトロンスパッタリング法を用いて、ガラス基板上に Ti, Pt, HZO を成膜し、アニール処理をする。次に、段差計を用いて成膜した HZO 層の膜厚を測定する。そして、成膜した基板と静電容量が十分に大きいコンデンサを用いてソーヤタワー回路を作製し、半導体パラメータアナライザを用いて測定する。測定結果を元に Ar,  $\text{O}_2$  の流入量、投入電力、成膜圧力、成膜時間、アニール温度や時間を変更し、より良い強誘電性を得ることを目指す。



図 3-9：RF スパッタ装置

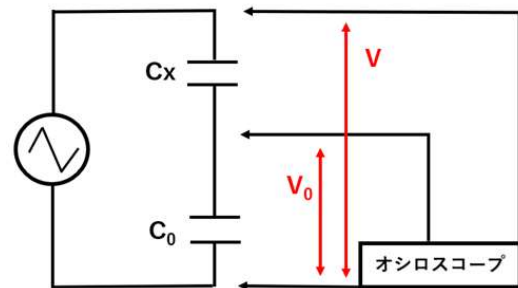


図 3-10：ソーヤタワー回路

( $C_x$ ：作製した基板  $C_0$ ：既製品のコンデンサ)

[Mist CVD]

Mist CVD を用いて下記の条件で成膜を行った。

・成膜条件

前駆体：Hf(Acac) 0.02, 0.04, 0.08 (mol/L)

成膜時間：10, 30, 60 (min)

成膜温度：400°C

キャリア/希釈ガス：1.0/4.5 (L/mol)

溶液：HCl 3(g)

3-3-3. 結果と考察

[RF マグネトロンスパッタリング法]

1~3 枚目の基板はクロスポイント型で作製した。図 3-11 のように下部電極として Ti と Pt、強誘電体として HZO、上部電極として Pt を成膜した。ガラス基板上に Pt をそのまま成膜してしまうとアニールした際に剥がれてしまうため、接着剤として Ti を成膜している。

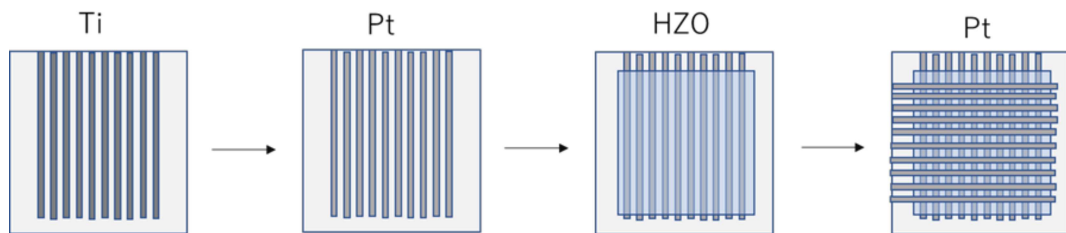


図 3-11：クロスポイント型基板の作製手順

まず、1 枚目の基板を表 2 の条件の通りに成膜した。

表 2：作製した基板（1 枚目）

	Ar/O <sub>2</sub>	投入電力	成膜圧力	時間	温度
一層目 Ti	20/0	60W	3Pa	5分	常温
二層目 Pt	20/0	60W	3Pa	3分	常温
三層目 HZO	20/0	60W	1Pa	30分	常温
アニーリング				60分	500°C
四層目 Pt	20/0	60W	1Pa	5分	常温

この基板の膜厚を段差計で測定したところ、測定箇所によってばらつきがあり 10nm 前後であった。半導体パラメータアナライザで測定した結果は図 5,6 のようになった。測定には 1μF のコンデンサ、-10~10 V, 周波数 1kHz の三角波を使用した。

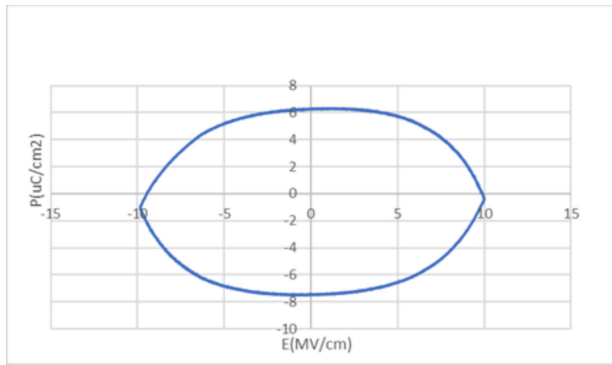


図 3-12：測定結果 (P-E 曲線)

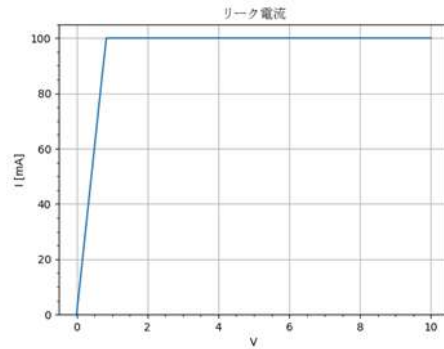


図 3-13：測定結果 (リーク電流)

この結果から、HZO は絶縁体であるにも関わらず、リーク電流が非常に大きくなってしまっていることがわかる。その原因として、HZO 層の膜厚が薄いからであると考えた。また、HZO があまり結晶化していない可能性もあると考えた。そこで次に、表 3 の条件で 2 枚目の基板を作製した。赤字は値を大きくした箇所、青文字は値を小さくした箇所を示す。

表 3：作製した基板 (2 枚目)

	Ar/O <sub>2</sub>	投入電力	成膜圧力	時間	温度
一層目 Ti	20/0	60W	0.7Pa	3分	常温
二層目 Pt	20/0	60W	3Pa	5分	常温
三層目 HZO	20/1	90W	5Pa	60分	常温
アニーリング				60分	600°C
四層目 Pt	20/0	60W	3Pa	5分	常温

主な変更点として、投入電力と成膜時間を増やした点、O<sub>2</sub> を用いた点、成膜圧力を大きくした点が挙げられる。変更した理由は順に、膜厚を厚くするため、成膜時に酸素空孔が発生する可能性が考えられたため、成膜圧力が低いと強誘電性が得られないという論文<sup>4)</sup>があったためである。この基板の複数箇所を段差計で測定したところ、膜厚は 63~79nm であった。そして、半導体パラメータアナライザで測定した結果は図 7,8 のようになった。測定には 1μF のコンデンサ、-5~5 V, 周波数 1kHz の三角波を使用した。

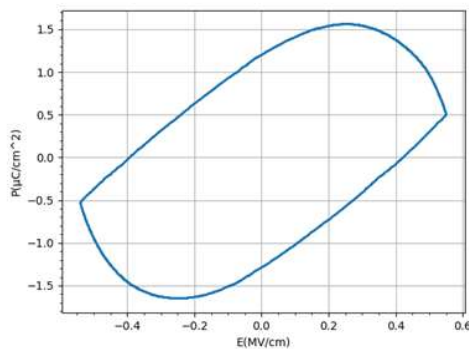


図 3-14：測定結果 (P-E 曲線)

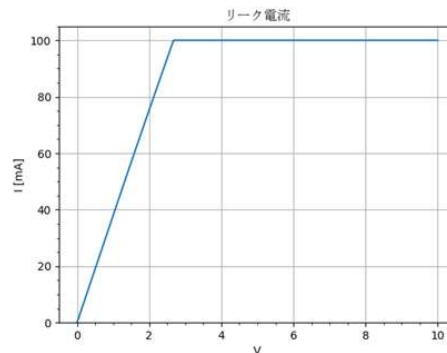


図 3-15：測定結果 (リーク電流)



この結果から、膜厚が厚くなったことで1枚目よりも抵抗値が大きくなったが、依然としてリーク電流が大きいことがわかる。このことから、膜厚ではなくHZO層の状態（酸素空孔など）にリークが大きくなる原因があると考えられる。しかしここで、クロスポイント型の基板において、図3-16のように膜厚が薄くなっている箇所があるのではないかと先輩の予想があがった。そこで念のため、さらに膜厚の厚い基板を作製することにした。

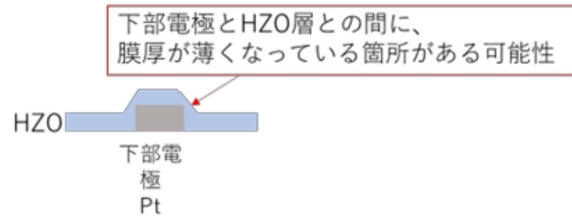


図3-16：断面予想図

作製した3枚目の基板の条件は表4の通りである。膜厚をさらに厚くするために、成膜時間を120分に増やしている。

表4：作製した基板（3枚目）

	Ar/O <sub>2</sub>	投入電力	成膜圧力	時間	温度
一層目 Ti	20/0	120W	3Pa	1分	常温
二層目 Pt	20/0	120W	3Pa	3分	常温
アニーリング				60分	600°C
三層目 HZO	20/0.5	120W	4Pa	120分	常温
アニーリング				60分	600°C
四層目 Pt	20/0	120W	3Pa	3分	常温

上部電極の成膜後にアニール処理した理由は、一般的に格子定数が近い結晶の上に結晶化しやすいため、先に下部電極を結晶化させたほうがHZOの結晶化がしやすいのではないかと考えたからである。また、投入電力によるプラズマの発光の違いを比較するために、すべて120Wで成膜した。

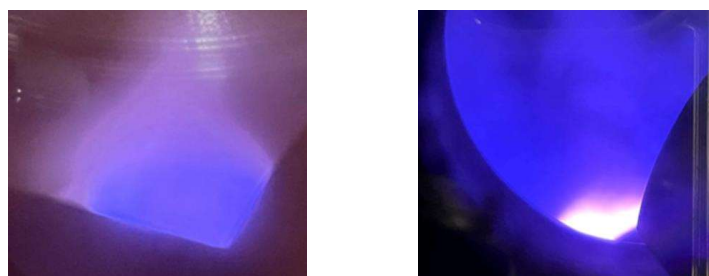


図3-17：Ptを60Wで成膜時(左)と120Wで成膜時(右)のプラズマ発光

この基板の複数箇所を段差計で測定したところ、膜厚は140~230nmであった。そして、半導体パラメータアナライザで測定した結果は図11,12のようになった。測定には1μFのコンデンサ、-5~5V, 周波数1kHzの三角波を使用した。



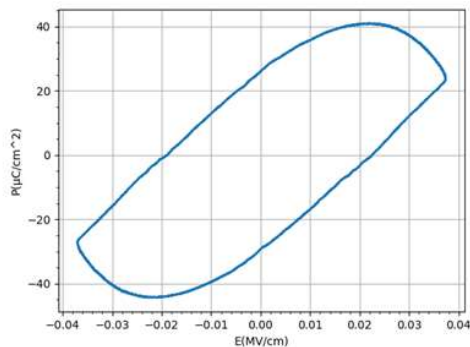


図 3-18：測定結果（P-E 曲線）

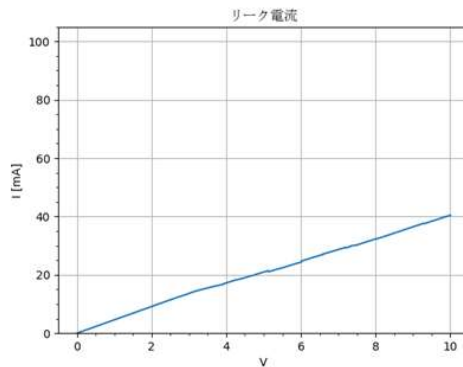


図 3-19：測定結果（リーク電流）

この結果から、膜厚が厚くなったことで抵抗値が大きくなったが、依然としてリーク電流が大きいことがわかる。場所によって膜厚のばらつきが大きいものの、薄くなっている箇所があったとしても 10nm 以上の膜厚を確保できていると考えられるため、やはり膜厚以外がリークの原因であるといえる。次に作製した 4 枚目の基板の条件は表の通りである。

表 5：作製した基板（4 枚目）

	Ar/O <sub>2</sub>	投入電力	成膜圧力	時間	温度
一層目 Ti	20/0	60W	3Pa	1分	常温
二層目 Pt	20/0	60W	3Pa	3分	常温
三層目 HZO	20/0.5	<b>150W</b>	4Pa	15分	常温
四層目 Pt	20/0	60W	3Pa	3分	常温
アニーリング				<b>5分</b>	<b>450°C</b>

主な変更点として、アイランド型で成膜している点、上部電極成膜後にアニール処理をしている点が挙げられる。アイランド型にした理由は、クロスポイント型よりも膜厚のばらつきを制御しやすいと考えたからである(図 3-20)。そして、アニール処理のタイミングを変更した理由は、上部電極成膜後にアニール処理をすることで、上部電極の熱膨張によって HZO の直方晶の形成が促進されるためである。<sup>5)</sup>



図 3-20：断面予想図

この基板の複数箇所を段差計で測定したところ、膜厚は 40~70nm であった。そして、半導体パラメータアナライザで測定した結果は図 3-21,3-22 のようになった。測定には 10 $\mu$ F のコンデンサ、-5~5 V, 周波数 1kHz の三角波を使用した。

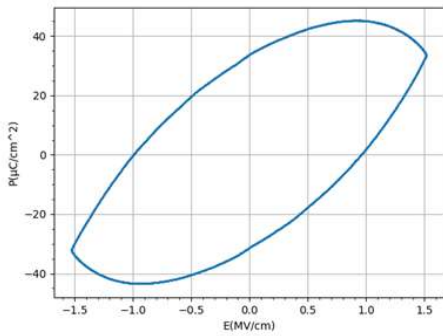


図 3-21：測定結果（P-E 曲線）

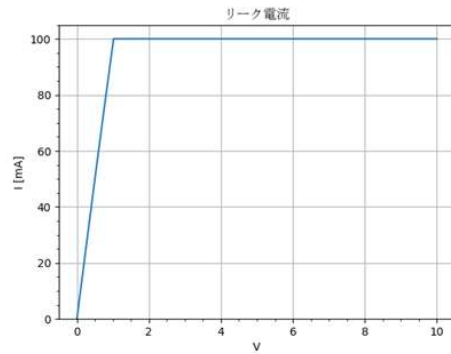


図 3-22：測定結果（リーク電流）

この結果から、アイランド型で作製してもやはりリーク電流が大きいことがわかる。膜厚が原因ではないことは明らかであり、また、アニール処理のタイミングを変更してもリーク電流は変わらなかった。

以上より、今回の研究では HZO 層のリーク電流を小さくすることができず、その原因は膜厚ではないことがわかった。また、他の論文を調査したことにより、高圧で成膜したほうが強誘電性が得られることや、上部電極の成膜後にアニール処理をしたほうが強誘電性が得られること、熱膨張率が低い金属を電極として使用したほうが強誘電性が得られること、HZO 層の膜厚が薄いほうが強誘電性が得られること、1000Pa 以上の高圧力でアニールすると m 相が形成され、絶縁性が低下する<sup>6)</sup>ということがわかった。本研究と他の論文との主な違いとして、第一に、本研究では大気アニールしているが、他の論文では N<sub>2</sub> 雰囲気中でアニールしている点、第二に、他の論文では急速加熱ができる Rapid Thermal Annealing(RTA)を使用している点、第三に、本研究では電極に Pt を用いているが、他の論文では TiN を用いているものが多い点が挙げられる。以上を踏まえて、次に作製する基板は大気圧アニールではなく、5Pa 程度の Ar 雰囲気下でアニールしたいと考えている。また、XRD を用いて、今まで作製した基板で m 相が形成されていることと、低気圧下でアニールした基板には m 相が形成されないことを確認していきたい。

#### [Mist CVD]

結果としては、成膜時間が 60 分の時に 20nm 程度の膜が成膜できた。成膜時間が、10 分、30 分の時は、膜の確認が出来なかった。考えられる原因としては、前駆体を溶解するための塩酸が結晶形成を阻害していることにある。

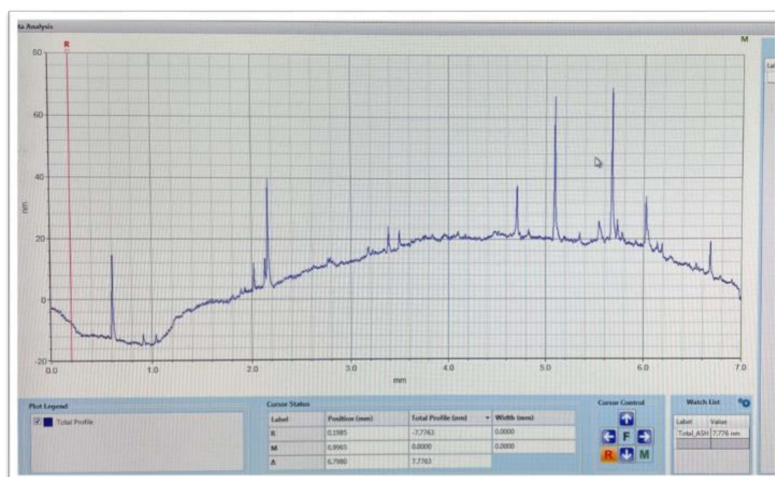


図 3-23：段差計による膜厚の測定結果

#### 3-3-4. 参考文献・参考サイト

1) 情報化社会の進展がエネルギー消費に与える影響(Vol.2)

-データセンター消費エネルギーの現状と将来予測および技術的課題-

(<https://www.jst.go.jp/lcs/pdf/fy2020-pp-03.pdf>)

2) 自然エネルギー財団「統計 | 国際エネルギー」

(<https://www.renewable-ei.org/statistics/international/>)

3) 今日からはじめる CGRA (<http://archlab.naist.jp/Lectures/PBL1/index.shtml>)

4) Jordan Bouaziz, Pedro Rojo Romeo, Nicolas Baboux, Raluca Negrea, Lucian Pintilie, Bertrand Vilquin "Dramatic impact of pressure annealing temperature on the properties of sputtered ferroelectric HZO layers"(2019)

(<https://aip.scitation.org/doi/pdf/10.1063/1.5110894>)

5) Minghao Shao, Tianqi Lu, Zhibo Wang, Houfang Liu, Ruiting Zhao, Xiao Liu, Xiaoyue Zhao, Renrong Liang, Yi Yang, Tian-Ling Ren "Interfacial Regulation of Dielectric Properties in Ferroelectric Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub> Thin Films"(2021)

6) Yuki Hara, Mohit, Tatsuya Murakami, Shinji Migita, Hiroyuki Ota, Yukinori Morita "Impact of reduced pressure crystallization on ferroelectric properties in hafnium-zirconium dioxide films deposited by sputtering" (2021)

### 3-4. メモリスタ+キャパシタ

#### 3-4-1. 研究背景と目的

近年、人工知能の研究が盛んに行われていて、その代表的な技術としてニューラルネットワークがある。ニューラルネットワークは、生物の脳の神経回路をもとにした情報処理モデルである。現在、ソフトウェアでの研究が主流で、サイズや消費電力などに問題がある。それに対して、ニューロモルフィックは、生物の脳を模倣するハードウェアで、小型化・低消費電力化が期待できる。そこで、私たちはメモリスタ+キャパシタを用いたニューロモルフィックデバイスの作製を目的としている。

#### 3-4-2. 実験方法

ブレッドボード上に電気回路部品を用いて再現

1. ブレッドボード上に回路を組む
2. 波形発生装置を使い、オシロスコープで観測する。
3. データをまとめ、考察する。
4. 条件を変えて、1～3を繰り返す。

以下の図のような条件で測定した。

抵抗: 3~10k $\Omega$

振幅: 8V

C1: 100 $\mu$ F

C2: 47 $\mu$ F

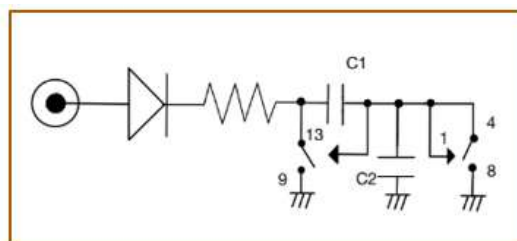


図 3-24 : 回路

#### 3-4-3. 結果

得られた測定結果のうち 2 つ示す。

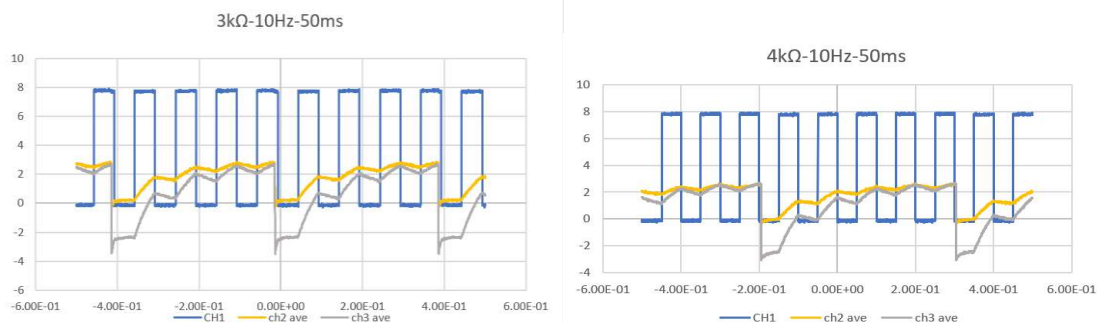


図 3-25 : 測定結果

印加されるスパイクに対して、Out の電位が上昇することが確認された。つまり、次々に入力されるスパイクに対して合算が得られ、パルス列の和に対する積和回路が実現されていることを確認した。

### 3-5. TFT・強誘電体

#### 3-5-1. 研究背景と目的

薄膜トランジスタ (TFT) は液晶ディスプレイや有機 EL ディスプレイなどのフラットパネルディスプレイに必要な駆動素子であり、活性層にアモルファス酸化物半導体、絶縁層に強誘電体材料を使用されている。アモルファス酸化物半導体の有名な材料として IGZO が挙げられるが、レアメタルのため資源枯渇などの問題がある。そこで、私はその代替材料として、安定供給できるなどの利点がある Ga-Sn-O(GTO)を使用し TFT の作製を行っている。また近年強誘電体材料として注目されている HZO の最適化を行うことでより TFT の性能を向上させることが可能だと考えてられている。私は TFT に使われる強誘電体材料の強誘電性を利用した次世代の不揮発性メモリである FeRAM の実現を目指している。

#### 3-5-2. 実験内容・方法

この R-Gap 期間内に私が行った実験はポストアニールの有無による I-V 特性の変化の測定である。以下の図 3-26 に手順を示す。

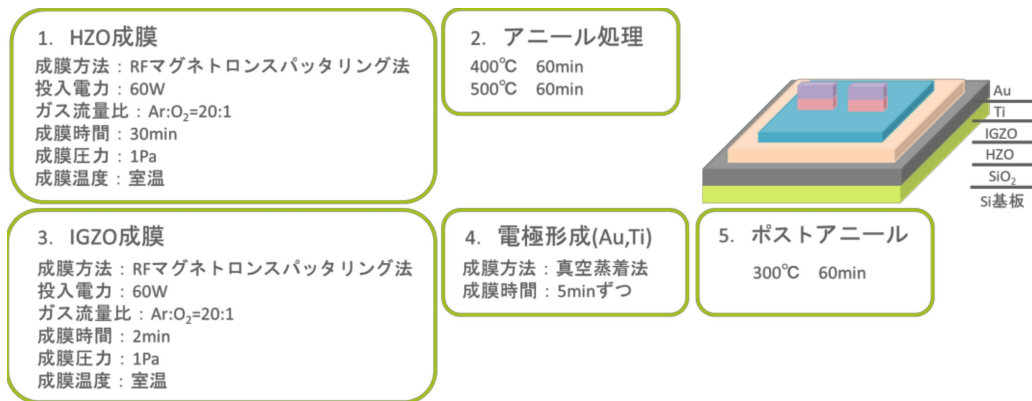


図 3-26：実験手順 (SiO<sub>2</sub>膜厚：50nm)

#### 3-5-3. 結果と考察

結果を図 3-27、図 3-28 に示す。

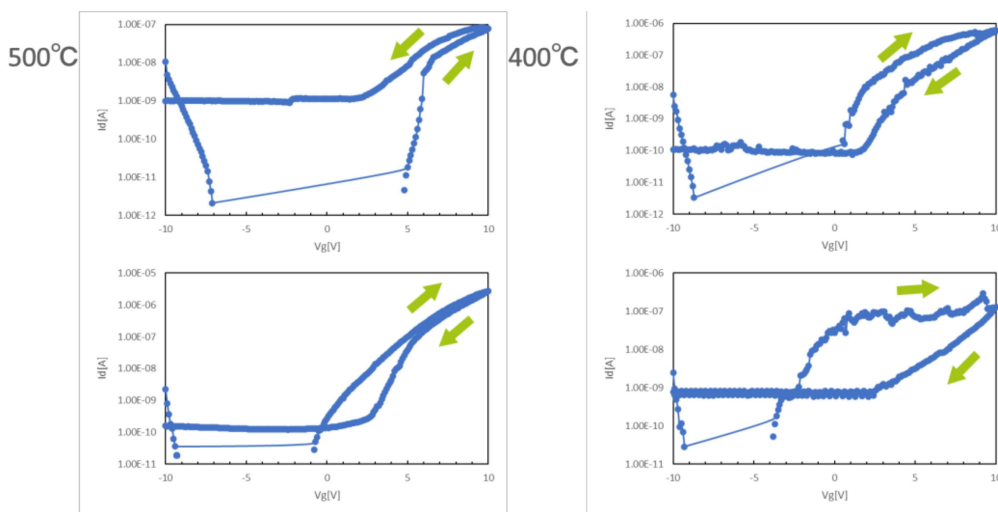


図 3-27：ポストアニールなしの I-V 特性

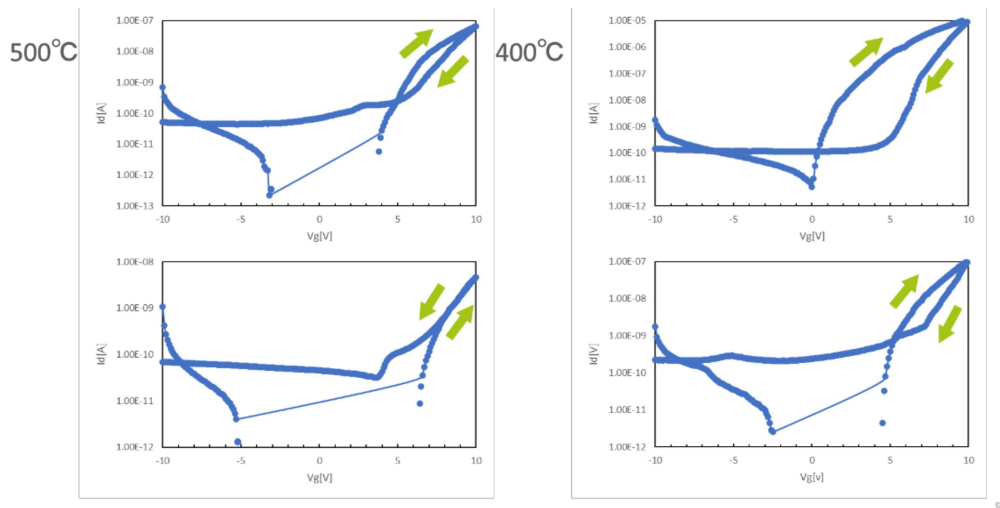


図3-28：ポストアニールありのI-V特性

図3-27はポストアニールなしの場合のI-V特性を示している。500°Cでアニールした場合に反時計回りのヒステリシスが得られることが確認できたが、400°Cでアニールした場合は電流のがたつきが見られた。しかし図3-28のポストアニールをした場合のI-V特性を見るとそれがなくなっていることが分かる。このことから私はポストアニールをすることで電荷の偏りが減少するのではないかと考えた。ゲート電極にプラスの電圧を印加するとHZOはSi基板側に負、IGZO側に正に分極する。この時に界面の品質が悪いと、電荷の偏りが起き図3-27のI-V特性のようながたつきが出てしまう。しかしそこでポストアニールをすることによって何らかの作用で界面の質を向上し図3-27のようにがたつきがなくなるのではないかと推測する。

### 3-6. 薄膜評価

#### 3-6-1. 研究背景と目的

酸化物半導体の抵抗変化型メモリ(ReRAM)は、電圧印加(パルス電圧)による素子の抵抗値を不揮発的に変化させデータとして記憶するメモリである。これ大容量であり、低電力で高速抵抗変化・書き換えを可能とする、将来有望なメモリである。しかし、ReRAMの動作原理や抵抗変化のメカニズムが未だに解明されていない。これより、ReRAMの評価方法も確立されていない。今回のプロジェクトリサーチでは、木村陸研究室において研究されていた半導体パラメータアナライザの評価方法の他、AFMを用いた評価方法を利用し、これら2つの評価方法を用いることでReRAMの新たな評価方法の確立の他、そのメカニズムをより確実にすることを目的としている。またこれらの活動を通して得た経験を今後の研究や、新たな活動に繋げ、主体性のあるものとなるようにしたいと思っている。

#### 3-6-2. 実験方法

##### [評価方法]

半導体パラメータアナライザ、AFM

- ・半導体パラメータアナライザではI-V特性を、AFMでは研究材料に電流を流しその時の電流像を計測した。



[ReRAM 酸化物半導体の抵抗変化型メモリ]

ReRAM を用いて下記の条件で成膜を行った。

・成膜条件

電極： Al(上部・下部)

ターゲット： GTO

Ar<sub>2</sub>:<sub>2</sub> 比: 20/0 , 20/15 , 20/0

成膜時間: 3\*3 min

成膜圧力: 1Pa

### 3-6-3. 結果と考察

結果としては、低抵抗状態と高抵抗状態の開きが非常に狭かった。この原因としては、成膜時間が通常の 1/3 の時間で成膜した為、GTO が非常に薄くなってしまったことが主な原因だと私は考察する。また、AFM での評価結果に関して、電流像が比較的薄いことから今回の評価材料に電流が大きく流れていないことがわかった。

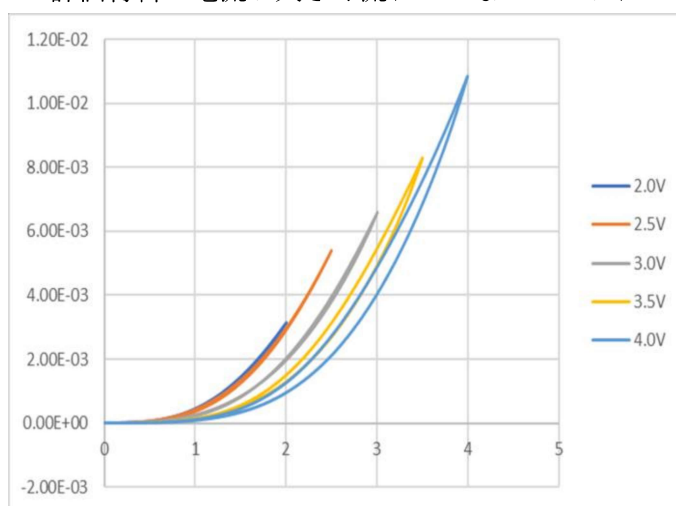


図 3-29：評価結果(I-V 特性)



図 3-30：AFM を用いた電流像

## 3-7. NAIST インターンシップ

### 3-7-1. 研究背景と目的

木村睦研究室では、薄膜デバイスの新規応用として、特に人工知能の研究が行われている。人間の脳を模倣した人工知能であるニューラルネットワークは、自己組織化、自己学習、並列分散計算、耐故障性などの利点を持つ代表的な技術であるが、その規模や消費電力が大きいことが問題点として挙げられる。またニューロモーフィックシステムは、ハードウェアレベルから見た生体模倣システムである。よって、小型化、低消費電力、ロバスト性など、生体の脳と同じ利点を持つが最適化されていないシステムであるため、上記の利点は部分的にしか得られない。そこで私たちは上記の問題を解決するために、ニューラルネットワークの計算原理である確率的コンピューティングやコンピューティングアーキテクチャについて知識を深める。

### 3-7-2. 実験方法

[コンピューティングアーキテクチャー]

CGRA の IMAX2 と GPU の性能比較を行列計算を用いて行う

[確率的コンピューティング]

シミュレーションソフト HSPICE 上で電子回路の設計、シミュレーションを行う

### 3-7-3. 結果

[コンピューティングアーキテクチャー]

行列の大きさが小さい時には、IMAX での実行時間の方が短い。IMAX を動作させる上では、最適な動作条件を与える必要がある。

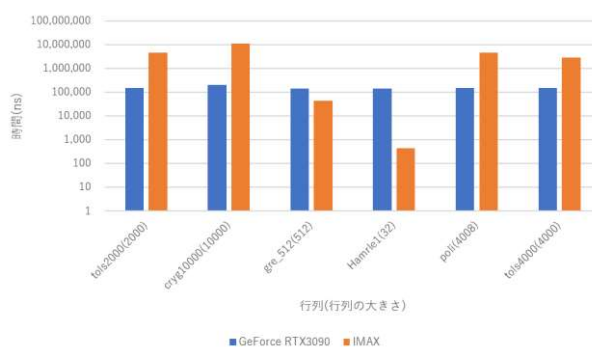


図 3-31：行列-時間

[確率的コンピューティング]

以下に全加算器シミュレーション結果を示す。

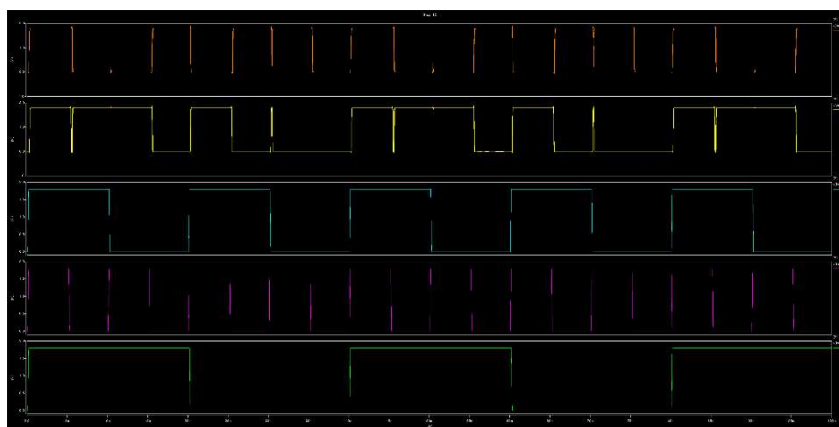


図 3-32：Full adder のシミュレーション結果

図 3-32 の緑の線がデジタル信号の 11110000、中央の青い線が 11001100、二つの間のピンク色の線が 10101010 を表している。そして出力結果の上二つの線を見ると、緑とピンク、青がそれぞれ 1 である場合は橙 1 黄 1、緑とピンクが 0、青が 1 の時は橙 1 黄 0 というように全加算器として動作していることが確認できた。

## 4. まとめ

今回私たちは、木村睦研究室の活動、NAIST のインターンシップを通じて薄膜デバイスとニューロモーフィックシステムの調査・研究を行った。次世代の不揮発性メモリや、ニューロモーフィックコンピュータの研究はこれからの情報化社会にとってとても重要なものであり、その実現に向けて度量したいと考える。また今回は初歩的な研究しかできなかったが、これからはより踏み込んだ研究を行いたいと思う。