

AM-FPD 21 に参加して

石崎 勇真

Yuma ISHISAKI

電子情報学専攻修士課程 1年

1. はじめに

2021年6月29日のAM-FPD 21にて、「Ferroelectric thin film for a capacitor-type synapse in neuro-morphic systems」という題目で発表を行った。

2. 研究背景・目的

近年ディープラーニングの進歩により、第三次人工知能ブームが訪れ、ニューラルネットワークの研究は盛んにおこなわれている。ニューラルネットワークの研究は、ソフトウェアレベルのものが中心である。これらは、超高性能のハードウェア上で複雑なソフトウェアで構成されており、コンピュータのサイズは大きくなり、消費電力も大きくなってしまふ。

ハードウェアレベルで実行されるニューラルネットワーク（ニューロモーフィックシステム）は、ニューロンとシナプスの要素を実装する生体模擬システムであり、人間の脳と同じ利点がある。サイズは非常にコンパクトで、消費電力も小さい。低消費電力かつ単独で機能するニューラルネットワークを実現するにはハードウェアからのアプローチが適している。本研究では、強誘電体で構成されるメモキャパシタを用いたキャパシタ型シナプスを作製して大規模なニューラルネットワークの構築を目標としている。

従来の研究では、酸化物半導体で構成されるメモリストを用いた抵抗変化型シナプスを提案していた。しかし定常的に電流が流れるため、高集積化すると低消費電力にならないと考えた。そこで、より低消費電力にするために強誘電体を用いたキャパシタ型シナプスを提案する。これはメモキャパシタの電気的特性を利用したシナプス素子であり、キャパ

シタンスの変化をシナプスの結合強度に対応させて学習を行うものである。メモキャパシタは、分極が反転するときおよび充放電するときに電流が流れるため低消費電力を実現できると考えた。本研究では上部電極が下部電極に対して直行になる構造をしたキャパシタ型のシナプスの作製を行いその電気的特性を測定した。今後の予定として作製したシナプスを用いてニューロモーフィック実験を行う予定である。

3. キャパシタ型シナプスの作製

強誘電体材料は $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (PZT) と $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$ (BLT) を用いた。作製した2つの試料の構造を図1、図2に示す。

PZT 試料は、Pt/Ti 基板上に LaNiO (LNO) がゾルゲル法で成膜した。次にその上から PZT をゾルゲル法で成膜した。その後、アニール処理を 700°C 、1分で行った。最後に上部電極として Pt を RF マグネトロンスパッタリング法で成膜した。

BLT 試料は、Pt/Ti 基板上に BLT をゾルゲル法で成膜した。その後、アニール処理を 750°C 、30分で行った。最後に上部電極として Au を蒸着法で成膜した。

作製した二つのサンプルは、下部電極と上部電極が交差しており、このような構造の試料をクロスポイント型と呼ぶことにする。

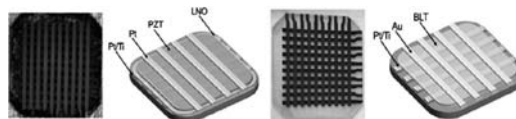


図1 PZT 試料

図2 BLT 試料

4. 実験方法

PE 特性の測定として、ソーヤータワー回路を用いた。ファンクションジェネレーターを用いて、 -10V から 10V の交流電圧を作製した試料に印加した。CV 特性は、PE 特性を微分することにより求められた。

5. 実験結果と考察

図3にPZT試料のPE特性とCV特性を示す。残留分極 $23.4 \mu\text{C}/\text{cm}^2$ と抗電界 $141.6 \text{ kV}/\text{cm}$ のヒステリシス特性が得られた。リーク電流を削減する方法として、LNOを種結晶層として導入した。その結果、リーク電流は減少した。しかし、LNO堆積時にできたピンホールの影響により、全体でヒステリシス特性を得ることができなかった。

図4にBLT試料のPE特性とCV特性を示す。残留分極 $14.9 \mu\text{C}/\text{cm}^2$ と抗電界 $133.4 \text{ kV}/\text{cm}$ のヒステリシス特性が得られた。リーク電流を削減する方法として、膜厚を増やした。その結果、リーク電流は減少した。全体で良好なヒステリシス特性を示した。

図5にそれぞれのリーク電流特性を示す。

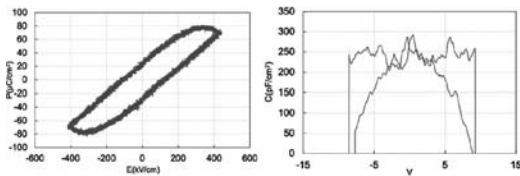


図3 PZT試料の特性

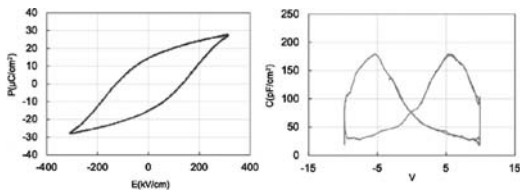


図4 BLT試料の特性

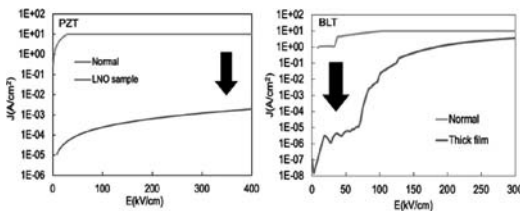


図5 リーク電流特性

6. アナログメモリキャパシタ

アナログメモリキャパシタは静電容量を段階的に変

化させることのできる素子であり、高集積化しなくても多数の情報を扱うことができるという利点がある。これを利用することにより、アナログメモリキャパシタはニューロモフィックシステムにより適している。

実験方法として、同様の物を用いて印加電圧を変更した。印加した交流電圧は、マイナス電圧の最大を 10 V に固定して、プラス電圧の最大を段階的に変化させた。プラス電圧の最大の印加電圧は 0.1 V , 1 V , 2 V , 3 V , 10 V , とした。また使用試料はPZT試料と同様の条件で作製されたベタ膜試料を用いた。

図6にPE特性とCV特性を示す。残留分極と静電容量が、プラス電圧の最大値の変化によって段階的に変化していることが確認された。静電容量は一度最大電圧を印加した後の 0.1 V 付近の静電容量を確認した。

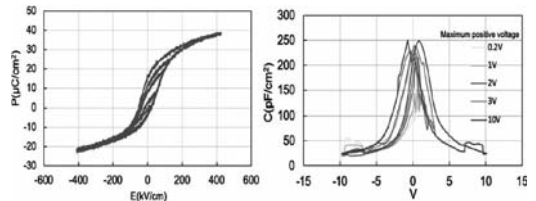


図6 アナログメモリキャパシタの特性

7. おわりに

今回の学会発表を通して、多くの方々からご意見をいただいた。企業や他大学の教授の方々からのご指摘は大きな刺激となり、今後の研究の発展や意欲を高めるこれ以上ない経験となった。今回の学会発表は英語での開催であり、自分の英語力を確認することができた。その結果、自分の英語力の低さを実感し、これからさらなる勉強や努力が必要だと感じた。

最後に発表や研究に対して多大なご指導をいただいた木村睦教授、三菱マテリアル株式会社の羽賀様、土井様、北陸先端科学技術大学院大学の徳光教授に深く感謝いたします。