

## AM-FPD 15 LDD 構造シナプス TFT による Poly-Si TFT を用いたニューラル ネットワークの学習効率の改善

森田 竜平

Ryohei MORITA

電子情報学専攻修士課程 2年

### 1. はじめに

ニューラルネットワークは人の脳をモデルにしており、ニューロンとシナプスを人工的に作り、人間のようなあいまいな問題に対する処理をパソコンやロボットにも行えるようにするものである。また、間違いを訂正し正しい答えを学習できるようにするアプローチも行っている。

本研究では、始めは何も機能を持っていない Poly-Si TFT に学習により任意の機能を獲得する論理回路を作成しようとしている。ニューラルネットワークの駆動条件のもと、ニューロン・シナプスの特性変動を利用し学習を行った。しかし、この学習は成功率が低かった。その理由は、シナプスの TFT は SD の構造を持っていたので、特性の変化が、あまりにも速かった。そこで、シナプス TFT の構造を SD 構造から LDD 構造へ変更を行った。また、LDD 構造は SD 構造よりも信頼性があることが知られている。今回実際に論理の学習の動作確認を行った。

### 2. SD と LDD 構造

私たちは、通常の製造工程により、Poly-Si TFT を作製した。SD および LDD の TFT は、SD か LDD 構造の違いを除いて同じ構造を持っている。SD 構造の TFT は、ゲート電極のエッジがソース・ドレイン領域のエッジと同じところに作られている。一方、LDD 構造の TFT の場合は、ソース・ドレイン領域とゲート電極の間に LDD を設けた。チャンネル層とゲート絶縁膜の厚さは、それぞれ、50

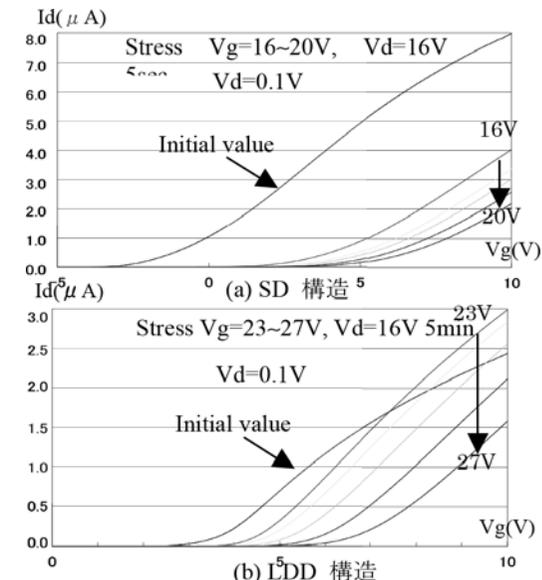


図1 poly-Si TFT の特性変動

および 100 nm。ソース・ドレインと LDD 領域のドーピング濃度は、それぞれ  $5.0 \times 10^{15}$  と  $3.7 \times 10^{13} \text{cm}^{-2}$  になる。SD TFT のゲート幅と長さはそれぞれ 5, 5  $\mu m$  になる。LDD TFT のゲート幅と長さ、及び LDD 長は、それぞれ 4, 4, 1  $\mu m$  になっている。

図1は、SD および LDD TFT の IV 劣化特性を示している。図1に示すように LDD TFT の劣化は5分前後掛かるが、SD TFT の IV 特性は、わずか5秒ですぐに劣化してしまう。すなわち、SD TFT より LDD TFT のほうが劣化が遅く、LDD TFT は SD TFT より信頼性があることを示している。

### 3. ニューラルネットワーク

我々は、シナプス結合強度を poly-Si TFT の特性変動を利用している。Vdd = +8 V, Vss = -8 V, これらの電圧はシナプス TFT のソース・ドレイン端子に印加した。10 V の想起電圧と 15 V の学習電圧はニューラルネットワークの想起・学習動作のためシナプス TFT のゲート端子に印加した。想起実験では、IN1 と IN2 に電圧を印加し、OUT の電圧を測定する。学習実験では、IN1 と IN2 と OUT に電圧を印加する。

#### 4. 学習結果

図2に OR 論理の学習結果を示す。初期状態の OUT はすべて0を出している。そこで、正しい OR 論理を覚えさせるため、IN1 と IN2、OUT が0

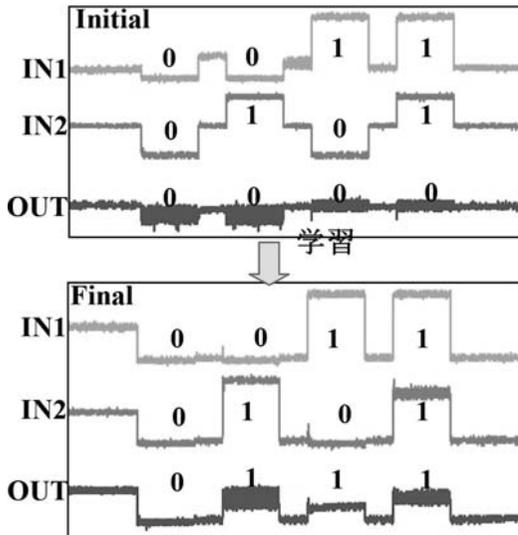


図2 OR 論理の学習

をとるところ以外に学習電圧を印加し正しい答えを返信する。

構造を変更した結果、学習効率が向上した。LDD 構造を用いることにより、SD 構造では困難だった学習電圧のコントロールが容易になった。

#### 5. 発表について

発表について、多くの人に興味を持ってもらい、多くの意見や質問を頂くことができた。発表に備えて、事前に発表用の資料や原稿を作成した。しかし、この研究について知らない方に研究の要点を簡潔に説明することは難しかった。また、開発者以外の視点から意見をもらえ、次に研究を行うときに取り入れていこうと考えた。

#### 6. おわりに

今回、私に AM-FPD 15 で発表する機会を頂き研究全般に渡る多大なご指導を頂きました木村睦教授・松田時宜助教に深く感謝致します。