

薄膜材料デバイス研究会第 11 回研究集会
「薄膜材料デバイスの機能と物理」

Poly-Si TFT を用いたニューラルネットワーク

森田 竜平
Ryohei MORITA

電子情報学専攻修士課程 2年

1. はじめに

ニューラルネットワークは、人間の脳をモデルとし、自己組織化機能・自己学習能・並列分散計算・ロバスト性などの特長があり、情報処理の新規システムとして期待されている。これらの特長は、多数のニューロンをやはり多数のシナプスで接続することにより得られる。しかしながら、従来のニューラルネットワークは、ニューロンもシナプスも十数個から数十個のトランジスタから構成され、それぞれ多数を集積化することに課題があった。

我々は、Poly-Si TFT を用いたデバイスレベルのニューラルネットワークの研究開発を行っている。相互結合型のニューラルネットワークを採用し、もともとは課題であった多結晶 Si TFT の特性変化を逆にシナプスの結合強度可変機能に利用し、修正 Hebb 学習則を考案することにより、ニューロンを 8 個、シナプスをたった 1 個の TFT で構成することに成功し、実際に NOT・OR・XOR といった論理の学習の動作を確認している。Poly-Si TFT が、大面積基板に 3D 積層構造をとることができることとあわせて、超巨大規模のニューラルネットワークを形成できる可能性があることを示す一例である。しかしながら、これまでは、学習の途中で短時間で反応が見られなくようになることがしばしばあるなど、学習成功率が低いという問題があった。

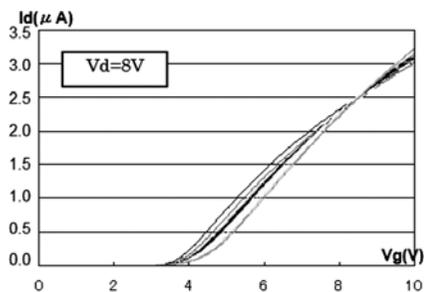
そこで今回は、学習成功率向上を目的として、シナプス TFT の構造を SD 構造から LDD 構造に変更し、また、シナプス印加電圧の最適値を検討した。その結果、ニューラルネットワークは 10 分以上のより長時間の学習に耐えるようになった。

2. シナプス TFT の特性変動

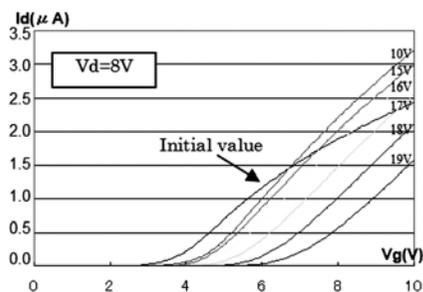
今回は、学習成功率向上を目的として、シナプス TFT の構造を SD 構造から LDD 構造に変更した。この構造の変更により、ドレイン近傍の電界集中を緩和しホットキャリア劣化を抑制し急激な特性変動を防止でき、比較的に緩慢なジュール熱劣化を利用することが可能となるはずである。このシナプス TFT の特性変動を評価するため、Poly-Si 膜厚 = 50 nm・ゲート絶縁膜厚 = 100 nm・ゲート幅 $W = 4 \mu\text{m}$ ・ゲート長 $L = 4 \mu\text{m}$ のシナプス TFT に対して、ゲート電圧 V_g を変化させ、ソース電圧 $V_s = -8 \text{V}$ ・ドレイン電圧 $V_d = +8 \text{V}$ に固定し、トランジスタ特性の経時変化を調べた。まず、 $V_g = 10 \text{V}$ に固定し、0~60 分印加したときの、トランジスタ特性の経時変化を調べた。 $V_g = 10 \text{V}$ では、顕著な特性変動がみられないことがわかった。つぎに、 $V_g = 15 \sim 19 \text{V}$ と変化させ、5 分印加したときの、トランジスタ特性の経時変化を調べた。 $V_g = 15 \sim 19 \text{V}$ では、徐々に特性変動が大きくなることがわかった。これらの結果から、シナプス印加電圧の最適値として、想起電圧は 10 V、学習電圧は 15 V とすることがよいと予想される。

3. ニューラルネットワークの学習実験

実験システムは、ポケコン・制御基板・リレー回路・ニューラルネットワーク取付基板・オシロスコープから成る。逐次学習法では複雑な入力信号を必要とするため、ポケコンから 8255 という制御基板をとおしてリレー回路を制御し、所望の信号を送信する。ニューラルネットワーク取付基板には、今回使用するニューロン $3 \times 3 = 9$ 個のニューラルネットワークのチップを挿入でき、ニューロンと入出力ピンを任意に選択して接続することが可能であるので、簡単に多種の入出力パターンでの学習実験を行うことが可能である。実験条件は、 $V_{dd} = +8 \text{V}$ ・ $V_{ss} = -8 \text{V}$ とし、シナプス印加電圧は想起電圧 = 10 V とし学習電圧 = 7~18 V と変化させた。2 入力



Stress Vg=10V, 0~60min



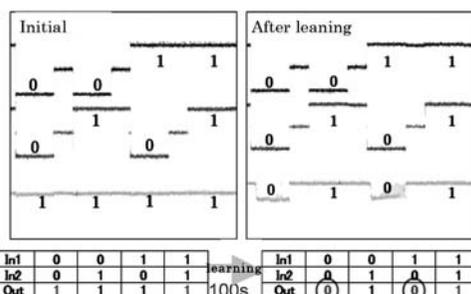
Stress Vg=15~19V, 5min

1 出力の入出力パターンで、XOR の論理の学習の動作を確認する。

実験結果は、学習電圧 $\geq 15V$ で、出力信号の変化を確認できた。本例では、 $In\ 1=0 \cdot In\ 2=0$ のとき、初期想起ステージでは $Out=1$ であったが、最終想起ステージでは $Out=0$ と変化した。また、 $In\ 1=1 \cdot In\ 2=0$ のとき、やはり初期想起ステージでは $Out=1$ であったが、最終想起ステージでは $Out=0$ と変化した。ただし、前者は XOR の正しい論理であるが、後者はそうではない。いずれにせよ、シナプス TFT の構造を SD 構造から LDD 構造に変更し、また、想起電圧 = 10 V · 学習電圧 = 15 V とすることで、出力信号の変化を確認しつつ、10 分以上のより長時間の学習でも反応が継続することが可能となった。

4. 発表について

発表について、多くの人に興味を持ってもらい、多くの意見や質問を頂くことができた。発表に備え



て、事前に発表用の資料や原稿を作成した。しかし、この研究について知らない方に研究の要点を簡潔に説明することは難しかった。また、開発者以外の視点から意見をもらえ、次に研究を行うときに取り入れていこうと考えた。

5. おわりに

今回、私に薄膜材料デバイス研究会第 11 回研究集会で発表する機会を頂き研究全般に渡る多大なご指導を頂きました木村睦教授・松田時宜助教に深く感謝致します。