第 80 回応用物理学会秋季学術講演会に参加して

小　倉　匡　樹
Masaki OGURA
電子情報学科　4 年

1. はじめに

私は 2019 年 9 月 18 日から 21 日にかけて開催された第 80 回応用物理学会秋季学術講演会に参加し，「PDMS 転写法を用いた MoS_2 FET の作製」という題目でポスター発表を行った．

2. 背景

層状物質である二硫化モリブデン（MoS_2）を用いた電界効果トランジスタ（FET）はセンシング面積の大面積化が可能なことからバイオセンサや化学センサへの応用が検討されている．しかしながら，現在広く行われている，層状物質を熱や薬品を用い転写シートから素子へ転写する方法ではプロセスダメージや汚染が発生してしまう．本研究では，MoS_2 FET の作製に際し，その解決策として物理的吸接着による転写が可能なポリジメチルシロキサン（PDMS）を利用した．また，MoS_2 の転写は素子作製の最終段階が望ましいため，自己組織化単分子膜（Self-Assembled Monolayer : SAM）を用いたナノギャップ電極を素子構造に採用した．

3. 実験方法

素子作製手順を Fig. 1 に示す．1 cm 角の Si 酸化膜付き Si 基板を用意，基板の洗浄を行う．フォトリソグラフィによりレジストパターンを形成，Al を蒸着したのちリフトオフを行い，ゲート電極を形成する．次に，UV 照射により Al 酸化膜を形成，オクタデシルホスホン酸（ODPA）を溶かしたアニソールに基板を 30 分浸漬し SAM を形成後，基板をアニソールで洗浄する．この時，SAM は AlO_x 表面のみに形成される．その後，基板全面に密着層

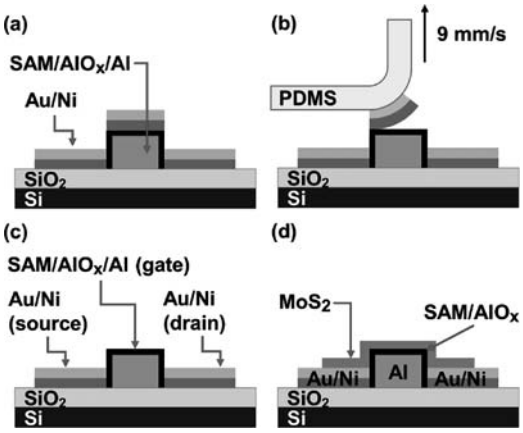

Fig. 1　作製手順と素子構造
（a）Au/Ni 蒸着後　（b）PDMS シートによりゲート上の Au/Ni を剥離する．（c）MoS_2 転写前．ソース／ドレイン電極とゲート電極は SAM により絶縁されている．（d）MoS_2 転写後の完成した素子構造．

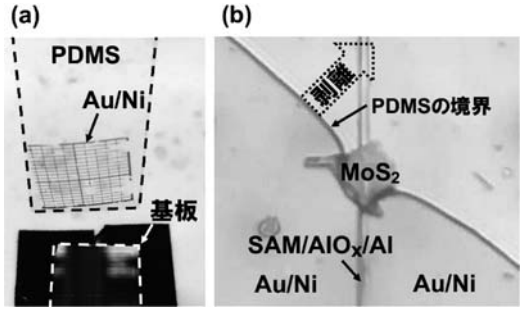

Fig. 2　（a）PDMS 剥離　（b）PDMS 転写

として Ni，ソース／ドレイン電極として Au を蒸着する（Fig. 1（a））．次に，基板全面にシート状の PDMS を張り付け，9 mm/s の速さで剥離する（Fig. 1（b，c））．この際，SAM が Au/Ni の接着を弱めることにより，ゲート電極上の Au/Ni のみが選択的に取り除かれる（Fig. 2（a））．その後，ゲート電極として SAM を再形成する．最後に，PDMS 転写法による MoS_2 の転写を行う．スコッチテープを用いてバルク MoS_2 結晶を剥離することで MoS_2 の薄片を作製，使用したスコッチテープを PDMS に張り付け薄片を転写，マスクアライメント装置を利用して PDMS を基板上に張り付け，10 μm/s の速さで剥離することで，MoS_2 薄片を PDMS から基板上に選

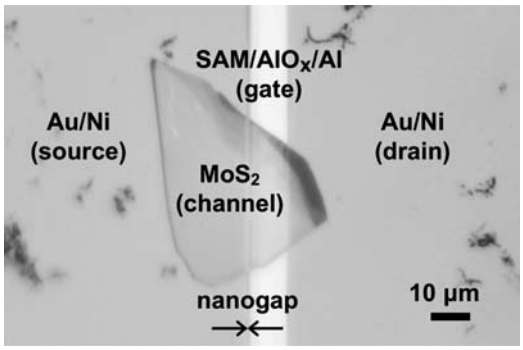

Fig. 3　作製した **MoS$_2$ FET** の光学顕微鏡像

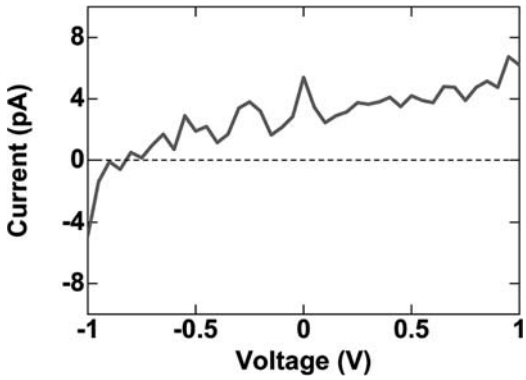

Fig. 4　ナノギャップの電流電圧特性

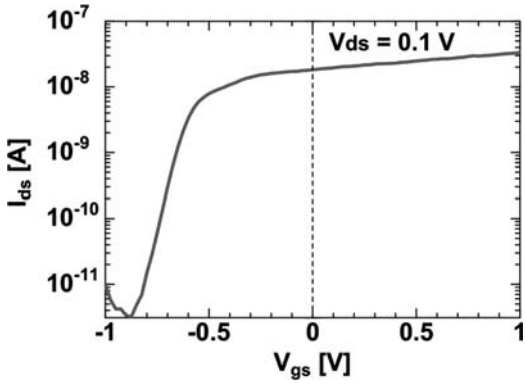

Fig. 5　伝達特性（**Id-Vg** 特性）

択的に転写する（Fig. 2（b））.

4. 実験結果および考察

作製した FET の素子構造を Fig. 1（d）に示す. 光学顕微鏡像（Fig. 3）よりゲート電極上に存在する金属が，PDMS によって選択的に取り除かれていることを確認できる．また，PDMS 転写法により，ゲート電極である Al を挟みドレイン，ソースの両電極にまたがるように MoS_2 が転写されていることが確認できる．ゲート，ソース電極間のナノギャップの漏れ電流は装置測定下限以下であり FET の動作に十分な絶縁性を示した（Fig. 4）. Fig. 5 に示す伝達特性からは正のゲート電圧に対し電流の増加する n 型 FET の特性を確認できる．閾値電圧は −0.9 V となり，一般的な MoS_2 FET と比べ低電圧で動作している.

5. まとめ

ナノギャップの絶縁性と FET 特性の測定結果より，ゲート絶縁膜に単分子膜を利用し PDMS 剥離と PDMS 転写法を用いて作製した素子の特性から n 型の動作を確認し，作製に成功した.

謝辞

本研究を行うにあたり，ご指導頂いた山本伸一先生，番貴彦先生に心より感謝いたします．そして，日頃の研究においてご協力していただき，活発な議論をしていただいた研究室の同級生，先輩方に御礼申し上げます.